

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G01R 31/28

G06F 11/22



[12] 发明专利申请公开说明书

[21] 申请号 03104139.6

[43] 公开日 2003 年 8 月 27 日

[11] 公开号 CN 1438492A

[22] 申请日 2003.2.11 [21] 申请号 03104139.6

[30] 优先权

[32] 2002. 2. 11 [33] US [31] 60/356,582

[32] 2002. 6. 10 [33] US [31] 60/387,043

[71] 申请人 德克萨斯仪器股份有限公司

地址 美国得克萨斯州

[72] 发明人 L·D·威特赛尔

[74] 专利代理机构 上海专利商标事务所

代理人 李家麟

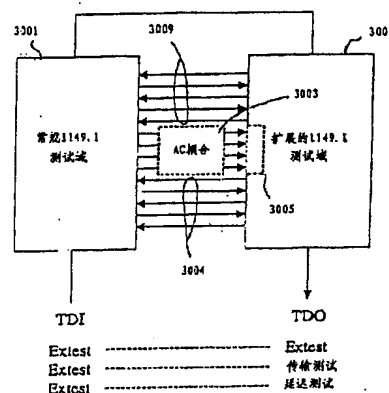
权利要求书 3 页 说明书 26 页 附图 34 页

[54] 发明名称 高速互连电路的测试方法及装置

[57] 摘要

传输测试指令，衰减测试指令和周期测试指令提供了在包括 JTAG 边界扫描单元的电路之间 DC 和 AC 互连电路的测试。只需要对测试访问端口电路以及边界扫描单元作少量添加就能实现所附加的指令。该指令扩展了常规的 JTAG 操作的结构。

使用具有新的1149.1输入单元的常规的1149.1的输出单元



1. 一种测试访问端口, 包括:

测试时钟输入;

测试模式选择输入;

测试数据 IN 输入;

测试数据 OUT 输出;

控制器, 它连接着测试时钟输入和测试模式选择输入, 该控制器提供 Update-DR 信号, Clock-DR 信号, Update-DR 信号, 以及 Shift-DR 信号, 还具有控制总线输入;

指令寄存器, 它连接着测试数据 IN 输入和测试数据 OUT 输出且具有连接着控制器的控制总线输出, 指令寄存器还具有模式信号输出;

边界扫描寄存器, 它连接着功能数据信号, 测试数据 IN 输入, 测试数据 OUT 输出, 模式信号输出, Update-DR 信号和 Shift-DR 信号, 边界扫描寄存器具有改进的 Clock-DR 输入;

延迟电路, 它连接着测试时钟输入且具有延迟的时钟输出; 以及

传输测试电路, 它连接着延迟的时钟输出, 控制总线, Update-DR 信号, Clock-DR 信号和改进的 Clock-DR 输入以测试由边界扫描寄存器接收的功能信号的传输。

2. 一种测试访问端口, 包括:

测试时钟输入;

测试模式选择输入;

测试数据 IN 输入;

测试数据 OUT 输出;

控制器, 它连接着测试时钟输入和测试模式选择输入, 该控制器提供 Update-DR 信号, Clock-DR 信号, Update-DR 信号, 以及 Shift-DR 信号, 还具有控制总线输入;

指令寄存器, 它连接着测试数据 IN 输入和测试数据 OUT 输出且具有连接着控制器的控制总线输出, 指令寄存器还具有模式信号输出和测试信号输出;

边界扫描寄存器，它连接着功能数据信号，测试数据 IN 输入，测试数据 OUT 输出，模式信号输出，测试信号输出，Update-DR 信号和 Shift-DR 信号，边界扫描寄存器具有改进后的 Clock-DR 输入；

延迟电路，它连接着测试时钟输入且具有延迟的时钟输出；以及，

衰减测试电路，它连接着延迟的时钟输出，控制总线，Update-DR 信号，Clock-DR 信号，以及测试由边界扫描寄存器接收功能信号的 RC 时间衰减的改进后的 Clock-DR 输入。

3. 测试访问端口包括：

测试时钟的输入；

测试模式选择输入；

测试数据 IN 输入；

测试数据 OUT 输出；

控制器，它连接着测试时钟输入和测试模式选择输入，该控制器提供 Update-DR 信号，Clock-DR 信号，Update-DR 信号，以及 Shift-DR 信号，还具有控制总线输入；

指令寄存器，它连接着输入的测试数据和输出的测试数据且具有连接着控制器的控制总线的输出，指令寄存器也具有模式信号输出测试信号输出；

边界扫描寄存器，它连接着功能数据信号，输入的测试数据，输出的测试数据，模式信号输出，测试信号输出和 Shift-DR 信号，边界扫描寄存器具有改进的 Clock-DR 输入，翻转输入，标志输入和改进的 Update-DR 输入；

延迟电路，它连接着测试时钟输入且具有延迟的时钟输出；以及，

周期测试电路，它连接着延迟的时钟输出，控制总线，Update-DR 信号，Clock-DR 信号，改进的 Clock-DR 输入，改进的 Update-DR 输入，翻转 (toggle) 输入和标志输入以测试由边界扫描寄存器接收的翻转功能信号。

4. 一种进行测试的过程，包括：

将测试数据信号施加在互连电路的输入，互连电路在 JTAG 测试访问端口控制器的 Update-DR 状态下的指定时间具有输出；

在 JTAG 测试访问端口控制器的至少部分控制下，在指定时间后所选择的时间在互连电路的输出进行测试数据信号的采样，所发生的可选择时间是在正常紧

随着 Update-DR 状态之后的控制器的 Capture-DR 状态中的测试数据信号的正常采样之前；以及，

在 JTAG 测试访问端口控制器的至少部分控制下在正常紧随着 Update-DR 状态之后的 Capture-DR 状态中的控制器以阻止互连电路输出端上的测试数据信号的正常采样。

5. 一种进行测试的过程，包括：

将测试数据信号施加在互连电路的输入，互连电路在 Update-DR 状态下的指定时间开始的时间周期中具有输出，它发生在 Capture-DR 状态稍后 JTAG 测试访问端口控制器中；

在 JTAG 测试访问端口控制器的至少部分控制下，在指定时间后且在 Capture-DR 状态前可选择的时间，在互连电路的输出端进行测试数据信号的第一次采样；以及

在 JTAG 测试访问端口控制器的至少部分控制下，在 Update-DR 状态之后控制器正常产生的第一次 Capture-DR 状态中在互连电路的输出端进行测试数据信号的第二次采样。

6. 一种测试在第一器件和第二器件之间的互连电路的方法，它包括步骤有：
将来自第一器件的激励信号施加到互连电路；

在 JTAG 测试访问端口控制器的至少部分控制下在第二器件中观察互连电路对激励信号的瞬态响应；以及，

在 JTAG 测试访问端口控制器的至少部分控制下在第二器件中观察互连电路对激励信号的稳态响应。

高速互连电路的测试方法及装置

本发明的某些方面涉及美国专利 5, 056, 094 “延迟故障测试方法及装置”中所披露互连电路的测试。

技术领域

本申请一般涉及通过扩展 IEEE1149.1 TAP 和边界扫描标准 (JTAG) 的指令集以及结构来测试位于集成电路之间的高速 DC 和 AC 耦合的互连电路。

背景技术

印刷电路板上集成电路之间的数字信号通信的带宽正在不断增加。为了能支持这一需求,正在开发新的较高速度的数字互连电路技术。传统的 JTAG (即, IEEE1149.1 标准) 边界扫描结构限制其能够测试这些较高速度的数字互连电路。

由于在 JTAG 结构进行互连电路测试方面的限制,从而限制了 JTAG 对集成电路之间的高速 DC 和 AC 耦合互连电路的测试。这些高速互连电路使用的增加要求扩展了 JTAG 的范围,以实现这些互连电路可靠测试。

AC 外部测试工作组已经完成了一些针对高速 DC 和 AC 耦合的互连电路或网络的测试。

Lofstrom, Keith 发表的论文 “Early Capture for Boundary Scan Timing Measurements” (1996 年 10 月 20-25 日国际测试大会公报 15.3 第 417-422 页) 披露了采用 IEEE1149.X 标准的扩展来测量模拟波形和延迟。扩展捕获是在 Update-DR 状态中 TMS 下降沿采样数据。

发明内容

本发明提供了对 JTAG 指令集和结构的扩展,从而针对提供一种解决高速 IC 和 IC 之间互连电路的测试的方案。该方案保持了 JTAG 的基本操作,使得现有的指令和结构操作不受本发明扩展的影响。

在标准的 JTAG 指令集中增加了传输测试指令，以便于测试通过 AC 或 DC 耦合互连电路从一个器件的输出到一个器件的输入的信号传输。该指令在 JTAG 结构中采用附加的时钟信号和捕获测试选通脉冲（CTS）。也可以使用常规的输入和输出边界扫描单元。在测试访问端口增加最少的附加电路。CTS 选通脉冲使边界扫描输入单元能以比在 JTAG 协议的 Update—DR 状态中产生的正常捕获早得多地去捕获数据。通过传输测试指令迫使在之后 Update—DR 状态中将正常产生的数据的捕获成为无操作的 NO—OP 状态。这就防止了较早捕获到的数据会被正常捕获操作的数据所覆盖。

衰减测试指令能够测试通过 AC 耦合互连电路从一个器件的输出到一个器件的输入的信号传输的衰减。衰减测试指令的工作相同于传输测试指令的工作，除了衰减测试指令允许在 Update—DR 状态中数据的正常捕获而不是强制的无操作的状态。可以采用常规输出的边界扫描单元并且必须采用改进的输入边界扫描单元。对传输测试指令的 TAP 可以作些增加。一个扫描的数据位以一个逻辑状态来表示通过衰减测试的电路并以相反的逻辑状态来表示未能通过测试。

周期测试指令能够测试通过 AC 或 DC 耦合互连电路从一个器件的输出到一个器件的输入传输的信号周期。周期测试指令的操作使输出边界扫描单元能够对输入器件的输入边界扫描单元输出交变信号或翻转信号。改进输出边界扫描单元是必需的。衰减测试指令的输入边界扫描单元与附加电路一起使用。TAP 也需要增加一些电路来满足衰减测试指令的需求。

附图说明

图 1 是常规 JTAG 互连电路测试操作的框图以及相关时序图。

图 2 是常规 JTAG 互连电路测试操作的第一示范限制的框图以及相关时序图。

图 2A 是常规 JTAG 互连电路测试操作的第二示范限制的框图以及相关时序图。

图 3 是根据本发明 DC 互连电路传输测试操作的框图以及时序图。

图 4 是根据本发明 AC 互连电路传输测试操作的框图以及时序图。

图 5 是集成电路的基本 JTAG 结构的框图。

图 6 是改进基本 JTAG 结构使之允许本发明的传输测试指令的框图。

图 7 是本发明传输测试指令的时序图。

图 8A 是本发明延迟电路第一实现例的框图。

图 8B 是本发明延迟电路第二实现例的框图。

图 8C 是本发明延迟电路第三实现例的框图。

图 8D 是本发明延迟电路第三实现例的框图。

图 8E 是图 8D 所说明的延迟电路细粗延迟编程的时序图。

图 9 是常规的 JTAG TAP 控制器状态图。

图 10 是指示在常规 JTAG TAP 图的某些状态中传输测试指令所提供变化的状态图。

图 11 是适用于在 Shift-DR 和 Capture-DR 的 TAP 状态中产生 Clock-DR 信号的常规 TAP Clock-DR 选通电路的框图以及简化的真值表。

图 12 是为了能支持本发明传输测试指令而改进的常规 TAP Clock-DR 选通电路的框图。

图 13 是为了能支持本发明传输测试而对 TAP 增加的 Update-DR 状态检测电路的框图。

图 14 是根据本发明 AC 互连电路衰减测试操作的框图以及时序图。

图 15 是为了能允许本发明的衰减测试指令对基本 JTAG 结构改进的框图。

图 16 是本发明衰减测试指令的时序图。

图 17 是在常规 JTAG TAP 图的某些状态中衰减测试指令影响的流程图。

图 18A 是对“完全”输入边界扫描单元作改进使之能执行本发明的衰减测试指令的框图。

图 18B 是对“只观察”输入边界扫描单元作改进使之能执行本发明的衰减测试指令的框图。

图 18C 是用于图 18A 和图 18B 框图电路的框图。

图 19 是衰减测试指令的第一操作例的框图。

图 20 是衰减测试指令的第二操作例的框图。

图 21 是衰减测试指令的第三操作例的框图。

图 22 是根据本发明 AC 互连电路周期测试操作的框图以及相应的时序图。

图 23 是对基本 JTAG 结构作改进使之提供本发明周期测试指令的框图。

图 24A 是周期测试指令在紧接着 Update—IR 状态之后的 Run Test/Idle 状态中执行时操作的时序图例。

图 24B 是周期测试指令在紧接着 Update—DR 状态之后执行 Run Test/Idle 状态的操作的时序图例。

图 24C 是通过扫描输入和更新另一指令来终止周期测试指令的时序图例。

图 25 是在常规 JTAG TAP 图的某些状态中周期测试指令影响的流程图。

图 26A 是为了支持本发明的传输和周期测试指令而对 TAP 所增加的检测 Run Test/Idle 和 Update—DR 状态的电路框图。

图 26B 是为了支持本发明的周期测试指令而对 TAP 所增加用于 Capture—DR 状态检测电路的框图。

图 27A 是对“完全”输入边界扫描单元作改进使之能执行本发明的周期测试指令的框图。

图 27B 是对“只观察”输入边界扫描单元作改进使之能执行本发明的周期测试指令的框图。

图 27C 是用于图 27A 和图 27B 框图电路的框图。

图 28 是对输出边界扫描单元作改进使之能执行本发明的周期测试指令的框图。

图 29 是采用本发明的传输，衰减以及周期测试指令的描述为可测试的集成电路之间示范差分 AC 耦合互连电路的框图。

图 30 是在常规的 1149.1 测试域和包括本发明的传输和衰减测试指令的扩展 1149.1 测试域之间的 AC 耦合互连电路测试的框图。

具体实施方式

图 1 说明了采用现有 JTAG 标准来测试 DC 互连电路 103。DC 互连电路 103 包括终端元件（即，下拉电阻 106）。在 DC 互连电路中也有可能采用许多其他端口元件的配置。在功能模式中，来自核心电路的功能信号是从第一 IC 输出的，它通过第一 IC 的 JTAG 边界扫描单元 101 并通过第一 IC 的输出缓冲器 104。功能信号通过外部 DC 互连电路 103 并经过第二 IC 的输入缓冲器 105 和 JTAG 边界扫描单元 102 传输到第二 IC 的功能性核心电路的输入。

JTAG 边界单元在功能模式中是透明的，它是通过向第一和第二 IC 的 JTAG 结构的指令寄存器 (IR) 加载旁路指令来完成的。然而，当外部测试 (Extest) 指令被加载到 JTAG 结构的指令寄存器 (IR) 时，边界单元便受 JTAG 测试访问端口 (TAP) 和指令寄存器 (IR) 的控制，进行独立于 IC 核心电路的操作以允许 DC 互连电路的测试。JTAG 结构中的外部测试指令及其操作都是众所周知的，且在 IEEE1149.1 标准文件中有详细描述。

图 1 所提供的时序图是用于说明在 DC 互连电路 103 中所发生的 JTAG 外部测试指令 (Extest) 操作的操作。该时序图表示了测试时钟 (TCK) 的上升沿 JTAG TAP 控制器的状态转移。TAP 控制器的操作是众所周知的，且在 IEEE1149.1 标准文件中提供了详细描述。

在时序图中，可见 Extest 操作所包括步骤有：在 Shift-DR (SDR) TAP 状态中移位数据，接着在 Update-DR (UDR) TAP 状态中的更新数据，随后在转换到 Shift-DR (SDR) TAP 状态的 Capture-DR (CDR) TAP 状态的结束时捕获数据。正如图中所示，在 Update-DR 状态的 TCK 的下降沿更新来自边界单元 101 的数据，并在 Capture-DR 状态结束时的 TCK 的上升沿捕获在边界单元 102 中的数据。更新和捕获操作间隔 2.5TCK 周期。这种间隔不会对 Extest 操作产生影响，因为除了单元 102 的捕获操作之外在单元 102 的输入 (IN') 保持着由单元 101 输出 (OUT') 所更新和驱动的数据数值。

于是，Extest 指令采用通过 DC 互连电路的数据数值来测试该电路的结构是否正确。然而，2.5TCK 的间隔不考虑对 DC 互连电路的延迟测试 (即，测试在如此短的时间里将单元 101 所更新的信号捕获到单元 102 中)。

图 2 说明了采用 AC 互连电路 108 来替代图 1 的 DC 互连电路 103 的例子。如同 DC 互连电路 103 一样，AC 互连电路 108 包括电阻性终端元件 106，以及串连于缓冲器 104 输出 (OUT) 和缓冲器 105 输入 (IN) 之间的电容器 107。电容器 107 用于阻断通过互连电路传输信号中的 DC 分量而传递通过互连电路传输的信号中的 AC 分量。正如 DC 互连电路 103 所举例一样，AC 互连电路可有许多其它类型的电阻性终端元件的连接方式。

图 2 的时序图可用于表示测试图 2 的 AC 互连电路 108 时 Extest 指令所具有的问题。如同图 1 所示的时序例子，在 Shift-DR TAP 状态中移位数据，接着在

Update—DR TAP 状态的中间更新数据,随后在 CaptureDR 状态结束时捕获数据。在该例中,更新了逻辑 1 且在 Update—DR 状态的 TCK 下降沿从单元 101 输出(OUT')以驱动单元 102 的输入(IN')。然而,AC 互连电路中的 RC 网络在被单元 101 输出的逻辑 1 充电之后,便开始在下拉电阻器 106 从电容器 107 向地放电时开始放电。经过 5 个 RC 时间常数之后,缓冲器 105 的输入(IN)所呈现的电压接近于地电位。如图 2 的时序图所示,假定在 2.5 个 TCK 周期中产生 5RC 时间常数。于是,对单元 102 的输入(IN')而言,将在更新数据之后被驱动为逻辑 1 的同时,在捕获操作产生的 2.5TCK 之后的时间内被驱动为逻辑 0。

图 2A 说明了采用下拉元件 202 防止使用更新后的逻辑 0 信号测试的 AC 互连电路 201,其原因类似于图 2 所示具有防止利用更新的逻辑 1 测试信号测试的下拉元件 106 的 AC 互连电路。其原因是,AC 互连电路在捕获操作之前从驱动逻辑 0 状态变成为驱动逻辑 1 状态可以在逻辑 0 更新操作之后的 2.5TCK 时发生。

从上述的讨论中可以得知,具有小的 RC 时间常数的 AC 互连电路对 JTAG Extest 指令操作可描述为不可测试的。该问题是已知的,且已在 IEEE 标 P1149.6 准中研究了一些解决方案(见参考文件 1)。IEEE1149.6 的一些解决方案需要在 JTAG 结构的边界单元中增加相当多的电路。本发明所提出的解决方案试图不需要对 JTAG 结构的边界单元增加太多(即便要)的电路来解决上述问题。本发明的解决方案也不需要对外部 JTAG 测试总线作任何特殊的处理,正如 Lofstrom 文章所需要的那样。

本发明的解决方案是基于对 JTAG 指令集增加三个新的测试指令的使用:传输测试指令,衰减测试指令,以及周期测试指令。这些所增加的指令能够使用外部 JTAG 测试总线的正常操作来执行。

传输测试指令的描述:

传输测试指令能够测试从一个器件的输出通过 AC 或 DC 耦合互连电路到一个器件输入的信号传输。尽管本发明所讨论的器件如在基片上的集成电路所示的,应该理解,该器件也可以是在集成电路中的子电路核心。

图 3 说明了利用传输测试指令测试的 DC 互连电路 103。该传输测试指令并不需要对 JTAG 结构的输出边界单元 101 或输入边界单元 102 增加任何附加电路,即

可以使用常规的输入和输出单元。传输测试指令在 JTAG 结构中使用了附加的时钟信号，在图 3 的时序图中称之为捕获测试选通脉冲（CTS）。

正如在图 3 的时序图中所看到的，传输测试指令以图 1 中 Exttest 指令相同的方式来操作输出单元 101，即，在 Shift—DR 中把数据移到输出单元并在 Update—DR 周期中将其从输出单元更新。但是，传输测试指令确实改变控制输入单元 102 的方式。

正如在图 3 的时序图中所看到的，所显示的新捕获测试选通脉冲（CTS）信号在来自输出单元 101 的数据更新之后马上在时间窗口内变成能主动控制输入单元 102。于是，CTS 选通脉冲使得输入单元 102 能以比正常捕获早得多的方式捕获数据，而正常捕获是在 Capture—DR 状态结束时才发生。此外，在 Capture—DR 状态中发生的正常捕获被传输测试指令强制为传输测试指令周期中的无操作（NO—OP），从而防止正常捕获操作覆盖 CTS 信号所捕获数据的。

图 4 说明了利用传输测试指令测试的 AC 互连电路 108。同样，如同在图 4 的时序图中所看到的，所显示的新的捕获测试选通脉冲（CTS）信号在输出单元 101 的数据更新之后马上在时间窗口内变成能主动把数据捕获到输入单元 102 中。于是，捕获测试选通脉冲（CTS）提供了在所传输信号通过 RC 网络对地电位放电之前捕获它的能力。同样，传输测试指令禁止在更新之后的 2.5TCK 发生的正常 JTAG 捕获操作（即，导致 NO—OP TAP 状态），以防止覆盖 CTS 信号所捕获的数据。

在图 3 和图 4 中都能看到传输测试指令提供测试高速互连电路的方法。该方法基于在正常 JTAG 更新操作发生之后马上在时间窗口内提供 CTS 时钟。以下图 5 至图 13 的描述将显示如何扩展 JTAG 结构使之包括 CTS 时钟的例子。

图 5 说明了常规 JTAG 结构（不包括旁路寄存器），它包括 TAP 控制器 501，指令寄存器 502，和边界寄存器 503。边界寄存器与输入和输出缓冲器 504 和 505 相连接。边界寄存器包含边界单元，它可以是只观察单元 506 或观察和控制单元 507。IN/ IN'和 OUT/OUT'标记的约定可映射在原先的例子中。在 JTAG 的 Exttest 的操作中，TAP 对边界寄存器 503 输出 Clock—DR，Update—DR，以及 Shift—DR 信号，从而考虑先前与图 1 和图 2 所示的相关例子所提及的移位，更新，以及捕获步骤。

图 6 说明了将图 5 的 JTAG 结构作支持传输测试指令的改进。该改进包括增

加 CTS 时钟发生电路以及改变指令寄存器 602 和 TAP 601。指令寄存器 602 从常规的指令寄存器改进，它包括识别传输测试指令的能力。当将传输测试指令加载到指令寄存器时，从指令寄存器在控制总线 606 上输出新的控制信号。控制总线 606 将这些控制信号传输至 CTS 时钟发生电路和 TAP 601。

CTS 时钟发生电路包括用于延迟 TCK (DTCK) 信号延迟形式的延迟电路 603，用于选通 DTCK 信号以产生 CTS 信号的门电路 604，以及用于选通 CTS 信号以通过 ClockDR' 输入（该信号将产生上文中所提及的较早的捕获选通脉冲）来驱动边界寄存器 503 的门电路 605。门电路 605 也允许 Clock-DR TAP 状态信号能依旧驱动边界寄存器的 Clock-DR' 输入。

当传输测试指令被加载到指令寄存器时，只要 TAP 处于 Update-DR 状态，来自总线 606 的捕获测试选通脉冲使能 (CTSENA) 信号就会将 DTCK 信号选通为 CTS 信号。为了表示 TAP 处于 Update-DR 状态，将 Update-DR 状态输出信号添加到 TAP 601 并输入到门控电路 604。能表示 TAP 处于 Update-DR 状态而对 TAP 增加的电路如图 13 所示。为了使在 Capture-DR 状态中所产生的常规捕获操作强制成图 3 和图 4 中所示的 No-Op 状态，在传输测试指令是当前指令的时候将来自控制总线 606 的捕获信号输入到 TAP。以下对于图 11 和图 12 描述捕获信号以及所需要的附加 TAP 电路。

图 7 说明了在传输测试指令中的时序。只要 TAP 进入 Update-DR 状态，Update-DR 状态指示器 701 就变高，同时 CTSENA 信号将 DTCK 选通为 CTS。在 Update-DR 状态 TCK 的下降沿，会产生常规的 Update-DR 时钟 702 使得图 3 和图 4 的输出边界单元 101 向 DC/AC 互连电路输出数据。紧接着 Update-DR 时钟，DTCK 信号引起产生 CTS 时钟 703。Update-DR 时钟 702 的上升沿和 CTS 时钟的上升沿之间的时间确定了图 3 和图 4 的捕获测试选通脉冲的窗口。

图 8A 至 8D 说明了延迟电路 603 的各种例子。图 8A 说明了提供固定 DTCK 延迟的延迟电路 603。图 8B 说明了可利用 JTAG 数据寄存器扫描操作编程为对数据寄存器的加载来提供可编程的 DTCK 的延迟的延迟电路 603。图 8C 说明了利用 JTAG 指令扫描操作的可编程延迟电路 603，它通过对指令寄存器的操作来提供可编程的 DTCK 的延迟。在图 8B 和 8C 中，每个可选择的延迟电路 0-3 递增移位图 7 中 CTS 的上升沿，使之在时间远离图 7 中 Update-DR 的上升沿，从而允许根据测试

指定的 DC/AC 互连电路的需要来调整 CTS 捕获的位置。

图 8D 说明了包括粗和细的 CTS 延迟调整的延迟电路 603，它能对图 3 和图 4 所示的捕获测试选通脉冲窗口内 CTS 捕获点位置提供更好的控制。正如图 8E 的时序图所示，粗延迟调整可以通过 JTAG 的扫描操作来编程，以提供对于 TCK 的 CTS 捕获点（上升沿）的粗设置。此外，也可以相似地编程细延迟调整，以提供在任何粗设置捕获点中的 CTS 捕获点的细设置。可以提供类似于图 8D 所示的更具鲁棒性的延迟调整电路 603，以考虑在一些扩展 DC/AC 互连电路上传输测试操作，作为用于在底板环境中将主板连接一起的例子。

图 9 说明了常规 JTAG/1149.1 标准 TAP 控制器的状态图，这在现有的技术中使众所周知的。

图 10 说明了将适用于传输测试指令的 TAP 控制器状态图的行为改进成能实现在图 3，4 和 7 中所描述的传输测试控制。当将传输测试指令被加载到指令寄存器时，从总线 606 输入到 TAP 601 中的控制会使得图 9 中 TAP 的常规 Capture-DR 状态操作为图 10 中 TAP 的无操作（No-Op）状态，即，禁止在 Capture-DR 状态中常规执行的捕获操作。这就实现了图 3 和图 4 时序图中所示的 No-Op 的功能，正如以上所提到的，防止在 CTS 窗口内覆盖所捕获到的数据。

另外，当传输测试指令被加载到指令寄存器时，从总线 606 输入到 CTS 时钟发生电路（CTSENA）的控制以及从 TAP 601 输出的 Update-DR 状态指示器的信号使得当 TAP 601 处于 Update-DR 状态时产生 CTS 时钟输出。在图 10 的 Update-DR 状态所执行的更新操作与图 9 中所执行的常规更新操作是相同的。图 10 的 Update&Capture 状态和图 9 的 Update-DR 状态之间的差异是 Update&Capture 状态除了常规的更新操作之外还能进行捕获操作。这就使得在图 3 和图 4 时序图的 CTS 窗口内 CTS 时钟能有效，正如以上所提及的，它使得在更新来自输出单元 101 的数据之后能马上将数据捕获到输入单元 102。

图 11 说明了 IEEE 标准 1149.1-1990 的 1993 年版中图 5.5 所标注的 NAND 门电路 1101，它用于产生常规的 Clock-DR TAP 输出信号。同样也提供了简化的真值表，这不是来自于 1149.1 标准的，它只是用于说明如何在 Shift-DR（DCBA=0010）和 Capture-DR（DCBA=0110）状态中使能 NAND 门电路 1101，以允许 TCK 信号来驱动 Clock-DR 信号。该真值表表示在 TAP 处于 Shift-DR 或 Update-DR

状态时, NAND 门电路 1101 接收相应的 ABD 状态输入, 从而允许 TCK 通过门电路来驱动门电路的 Clock-DR 输出。所有的其它 TAP 状态势门电路关闭或阻断 TCK 以防止驱动 Clock-DR 输出。

图 12 说明了一种改进图 11 所示的 Clock-DR NAND 门电路 1101 的较佳方式, 以便于能满足当传输测试指令加载到指令寄存器时门断 Capture-DR 状态的 Clock-DR TAP 输出信号 (即, 提供图 3 和图 4 中的 No-Op 状态) 的需求。正如图 12 所示, 5 输入端的 NAND 门电路 1201 取代了图 11 的 4 输入端的 NAND 门电路 1101。同样, 还增加了 2 输入端的 NAND 门电路 1202。2 输入端的 NAND 门电路 1202 输入来自指令寄存器总线 606 的 C TAP 状态信号和捕获控制信号。

当将传输测试指令加载到指令寄存器时, Capture 信号就被设定为高, 从而允许 C TAP 状态能输入到 NAND 门电路 1201。将 C TAP 状态输入到 NAND 门电路 1201 会使得 NAND 门电路 1201 在 Shift-DR 状态中将 TCK 传递到 Clock-DR, 但在 Capture-DR 状态中阻止 TCK 传递到 Clock-DR (见传输测试, Capture=1 的真值表)。这就提供了在图 3 和图 4 的时序图中所示的 No-Op 状态。当常规的 JTAG Extest 指令加载到指令寄存器时, Capture 信号就将设定为低, 以防止 C TAP 状态参与门电路 1201 TAP 状态的选通操作。于是, 在 Capture 为低的时期, NAND 门电路 1201 在 Shift-DR 和 Capture-DR 状态中实现将 TCK 传递到 Clock-DR, 与图 11 中的 NAND 门电路 1101 的功能相同 (见 Extest, Capture=0 的真值表)。

图 13 说明了添加到 TAP 601 的门电路 1301, 以显示 TAP 601 是否处于 Update-DR 状态 (DCBA=0101) 的时期。当处于 Update-DR 状态时, 门电路 1301 就在 Update-DR 状态信号输出为高, 正如图 6 所示, 该信号输入到门电路 604, 与 CTSENA 信号一起参与将 DTCK 信号选通为 CTS 信号。

衰减测试指令的描述

衰减测试指令能够测试从一个器件的输出通过 AC 耦合互连电路到一个器件的输入所传输信号的衰减。

图 14 说明了利用衰减测试指令测试的 AC 互连电路 108。在图 14 的时序图中, 衰减测试指令的操作与图 3 和图 4 的传输测试指令的时序图相同, 除了衰减测试指令允许在 Capture-DR 状态结束时进行正常捕获操作, 而不是在传输测试指令

中所发生的强制为 No-Op 状态的操作。衰减测试指令不需要对常规的输出边界单元 101 作任何改动,但是它需要对常规的输入边界单元 102 作些改进。输入单元 1401 表示了改进后的输入单元 102。衰减测试指令可直接再利用大部分先前讨论 JTAG 电路的添加以及传输测试指令所需的改进。

在图 14 的时序图中,正如先前所讨论的那样,在 Update-DR (UDR) 状态的 TCK 下降沿由输出单元 101 所更新的数据在 CTS 窗口被捕获到输入单元 102。然而,不同于上述讨论的是,第二次数据捕获的操作发生在 Capture-DR (CDR) 状态结束时的 TCK 上升沿(在更新的 TCK 下降沿后的 2.5 个 TCK)。

从上述的讨论中可以看到,衰减测试指令所提供测试步骤包括:(1)将(更新的)信号施加到 AC 网络的输入,(2)在 AC 网络的输出进行第一次观察(捕获)以确定 AC 网络对所施加信号的瞬态响应,以及(3)在 AC 网络的输出进行的二次观察(捕获)以确定 AC 网络对所施加信号的稳态响应。

在图 14 的时序图中,假定 2.5 个 TCK 周期时间足以使 AC 互连电路能达到第二次观察(捕获)的稳态,即,2.5 个 TCK 周期的时间超过 5 RC 时间常数的时间。然而,如果 2.5 个 TCK 不足以使 AC 网络达到稳态,则 TAP 可以转换为 Run Test/Idle 状态(如图 9)来增加更多 TCK 周期,或可以降低 TCK 的频率来提供更长的 TCK 周期。

图 15 说明了对图 5 的 JTAG 结构的改进以实现衰减测试指令。通过比较图 6 和图 15 的结构可以发现,衰减测试指令大多数修改都是由传输测试指令提供的。

传输测试指令结构和衰减测试指令结构之间的差异包括:(1)所设计的指令寄存器 1503 能识别衰减测试指令,且加载衰减测试指令时能在总线 606 上输出新的测试(Test)信号 1501,(2)测试信号 1501 输入到边界寄存器 1502 的输入边界单元 1401,以及(3)图 12 从总线 606 到 TAP601 的捕获(Capture)信号设定为低,以强制执行图 12 的“Extest, Capture=0”真值表中所示的操作(即,正常捕获操作发生在 Capture-DR 状态时)。

图 16 说明了衰减测试指令操作的时序图。正如所看到的,在 Update-DR 状态中,更新(Update)1601 发生不久紧随着第一次捕获(Capture1) 1602。在 Update 1601 之后的等于或大于 2.5 TCK 的 Capture-DR 状态中发生第二次捕获(Capture2) 1603。时间分隔符 1604 表示 TAP 可以通过 Select-DR 从 Update

—DR 直接进入 Capture—DR 状态（见 TAP 状态图），或通过 Select—DR 从 Update—DR 到 Run Test/Idle，然后再到 Capture—DR，以对 AC 网络提供更多的 TCK 周期使其能达到上述所讨论的稳态。正如所能看到的那样，图 16 的衰减测试时序图与图 7 的传输测试时序图相同，除了在图 16 中发生了第二次捕获 1603。

图 17 说明了衰减测试指令是如何改变 TAP 控制器状态图的行为使其获得上述结合图 14, 15, 和 16 所讨论的衰减测试控制。图 17 中的 Capture2 的状态替代了图 9 所示的 Capture—DR 状态，但其操作却相同于该状态。在 Capture2 状态所进行的捕获相同于在衰减测试中所使用的两个捕获过程中的第二次捕获 1603。在图 17 中的 Update&Capture1 状态替代了图 9 和图 10 中的 Update—DR 状态。在图 17 的 Update&Capture1 状态中所进行更新操作相同于图 9 和图 10 中所进行常规更新操作中所完成的更新操作。在图 17 的 Update&Capture1 状态和图 10 的 Update&Capture 状态之间确实不存在任何差异，只是在 Update&Capture1 状态中所完成的捕获是用于衰减测试的两个捕获过程中的第一次捕获 1602 的表示。

在操作中，当衰减测试指令加载到指令寄存器时，TAP 使测试的条件逐个经过 Select—DR 状态，Capture2 状态，Shift—DR 状态，Exit1—DR 状态以及 Update&Capture1 状态。一旦进入 Update&Capture1 状态就执行图 16 所示的 Update 1601 和 Capture1 1602。在完成了 Update&Capture1 状态的操作之后，TAP 又回到 Select—DR 状态和 Capture2 状态，以便于完成测试。Capture2 的状态提供了图 16 的 Capture2 1603 的操作。时间分隔符 1604 表示 TAP 可以通过 Select—DR 从 Update&Capture1 直接进入 Capture2 状态，或通过 Select—DR 从 Update&Capture1 到 Run Test/Idle 然后再到 Capture2 状态，以对 AC 网络提供更多的 TCK 周期使其能达到上述所讨论的稳态条件。

当衰减测试指令加载到指令寄存器时，从总线 606 输入到 TAP601 的控制（即，图 12 中的 Capture 信号）使得 TAP 执行在 Capture2 状态中的捕获功能，从而实现图 14 和图 16 时序图中所示的第二次捕获功能 1603。此外，当衰减测试指令加载到指令寄存器时，从总线输入到 CTS 时钟发生电路的控制（CTSENA）与 TAP 601 输出的 Update—DR 状态指示器信号一起在 TAP 601 处于 Update—DR 状态时使 CTS 时钟电路产生输出。

图 18A 和 18B 说明了图 14 的两类改进的输入单元 1401，它们都可以用于衰

减测试指令。图 18A 说明了改进为可支持衰减测试指令的完全和观察输入边界单元 1801。控制和观察单元 1801 类似于图 5 所示的常规控制和观察单元 507。在单元 1801 和单元 507 之间的一个差异是单元 1801 包括了改进为单元的捕获和移位部分 1803 的电路。单元 1801 的更新存储器 1804 和输出复用器 (MUX) 1805 部分相同于单元 507。在单元 1801 和单元 507 之间的另一个差异是单元 1801 包括了来自图 5 指令寄存器总线 606 的新的测试输入信号 1501, 该信号是衰减测试指令所必需的。同样, 所示的单元 1801 连接于先前所讨论的图 6 中门电路 605 输出的 Clock-DR' 信号, 而不是图 5 中的 TAP 输出的 Clock-DR 信号。

图 18B 说明了只观察 (Observe Only) 输入边界单元 1802, 它经过改进后可支持衰减测试指令。只观察输入边界单元 1802 类似于图 5 所示的常规只观察单元 506。在单元 1802 和单元 506 之间的差异是单元 1802 包括了先前图 18A 单元所提及的改进的捕获和移位部分 1803 的相同电路, 以及先前也已提及的新的测试和 Clock-DR' 信号。

单元 1801 和 1802, 以及单元 506 和 507, 都可以用于 IC 电路的输入边界单元。在控制和观察单元 1801 和 507, 以及只观察单元 1802 和 506 之间的差异在于控制和观察单元能够观察外部 IC 的数据以及控制内部 IC 的数据, 而只观察单元只提供对外部 IC 数据的观察。

图 18C 说明了改进捕获和移位电路 1803 的一个较佳例子的实施。电路 1803 包括 XOR 门电路 1806, MUX 1807, MUX 1808, 和 D-FF 1809。例如, 将常规 JTAG Extest 指令加载到指令寄存器时, 出现测试输入为低时, 电路 1803 的操作实际相似于图 5 的常规捕获和移位电路 507。在这样的条件下, IN' 通过 MUX 1807 和 1808 被捕获到 D-FF 1809 中, 随后从 TDI 移位到 TDO。当衰减测试指令被加载到指令寄存器出现测试输入为高时, 电路 1803 的操作就改变为允许 XOR 1806 的输出被捕获到 D-FF 1809 中。XOR 的输出是 D-FF 1809 的当前状态和 IN' 输入的数据数值之和。

测试步骤中的一个顺序建立和执行了衰减测试。这些步骤可包括: (1) 加载采样/预装指令以执行预装的扫描操作来建立与待测试的 AC 互连电路相连接输入 1801, 1802 和输出 101 边界单元中的初始测试数据, 以及 (2) 加载衰减测试指令, 以 (a) 执行扫描操作以将测试数据移位到输入和输出单元中, (b) 执行

Update 1601 的操作使来自输出单元的数据输入到 AC 互连电路, (c) 执行第一次捕获 1602 操作, 以将 AC 互连电路输出的瞬态响应加载到输入单元, (d) 执行第二次捕获 1603 操作, 以将 AC 互连电路输出的稳态响应加载到输入单元, 以及 (e) 执行扫描操作, 将数据都移出输入和输出单元。

在上述步骤 1 中, 预加载输入和输出单元的数据是初始化单元的数据, 它使单元适用于通过 AC 互连电路传输第一测试数据模式。例如, 如果测试图 14 的 AC 互连电路 108, 则输出单元将被初始化, 使之对 AC 互连电路网络 108 输出逻辑 0, 而不论在步骤 2 是否加载衰减测试。对 AC 网络输出逻辑 0 使得网络处于所期望的稳态条件中 (即, 在网络的输出为逻辑 0)。通过在网络中建立稳态逻辑 0 的条件, 逻辑 1 就可以在衰减测试操作的周期中通过网络从输出单元 101 传输到输入单元 1401。

图 14 的时序图说明了上述过程: (1) 当加载了衰减测试时, 预加载逻辑 0 以初始化输出单元 101 的输出 (时间 1402), (2) 扫描输入输出单元 101 逻辑 1 (时间 1403) 的更新来驱动网络, (3) 执行网络对逻辑 1 瞬时输出响应的第一次捕获 (时间 1404), 随后 (4) 执行的第二次捕获 (时间 1405), 以获得网络对逻辑 1 的稳态输出响应。

图 18 中的单元 1803 的 D-FF 1809 在衰减测试扫描操作开始 (即, 在第一次进入 Capture2 状态的过程中) 时所产生的捕获操作是无关条件。该无关条件会随着逻辑 0 的移入而移出 D-FF 1809。移进 D-FF 1809 的逻辑 0 建立了在图 17 的 Update&Capture1 状态中执行第一次捕获操作所需要的初始条件。

再参照图 18C, 通过进入图 17 的 Update&Capture1 状态之前在 Shift-DR 状态以逻辑 0 来扫描 D-FF 1809, 在 Update&Capture1 状态周期中所发生的图 14 时序图中第一次捕获 (时间 1404) 将会将逻辑 1 从 XOR 1806 加载到 D-FF1809。该逻辑 1 是在 Shift-DR 周期中扫描输入 D-FF 1809 的逻辑 0 和 AC 网络在 IN' 输出的瞬时逻辑 1 的和。在 Capture2 状态所产生的图 14 时序图中的二次捕获 (时间 1405) 也将使逻辑 1 从 XOR 1806 加载到 D-FF1809。该逻辑 1 是在第一次 Capture 周期中 D-FF 所捕获到的逻辑 1 和 AC 网络在 IN' 输出的稳态逻辑 0 的和。在紧随着 Capture2 状态的 Shift-DR 状态中, 所捕获到的逻辑 1 被移出 D-FF 1809, 以便于检查。

如果逻辑 1 被移出了 D-FF 1809, 则通过了测试, 因为该逻辑值验证了第一次捕获操作捕获到上述瞬时逻辑 1 并且第二次捕获操作捕获到稳态逻辑 0。如果逻辑 0 被移出了 D-FF 1809, 则测试失败。引起这种失败的原因有两个: (1) 在第一次捕获操作中捕获到逻辑 0 ($XOR=0$), 这意味着 AC 网络难以将单元 101 的逻辑 1 输出 (OUT') 适当地传输到图 14 的 IN', 或者 (2) 在第二次捕获操作中捕获到逻辑 1 ($XOR=0$), 这意味着 AC 网络难以适当地达到 (即, 放电到) 所期望的逻辑 0 的稳态条件。

正如以上所讨论的, 所设计的电路 1803 能够捕获第一和第二逻辑值且如果所捕获到的数值不同, 表示测试通过, 则扫描输出逻辑 1。然而, 如果第一和第二捕获的数值是相同的, 表示测试失败, 则电路 1803 就扫描输出逻辑 0。应该理解的是, 如果需要, 所设计的电路 1803 也能扫描输出逻辑 0 来表示通过以及扫描输出逻辑 1 来表示失败。此外, 也可以采用其它电路设计来取代电路 1803, 只要能响应第一和第二捕获操作表示出通过和失败的条件。用电路 1803 主要是说明只需对常规输入边界单元 1401 增加非常少的附加电路 (即, XOR 1806 和 MUX1807), 就可达到衰减测试指令所需的通过或失败的结果。

正如以上所讨论的, 通过将网络初始化稳态的逻辑 0 随后使逻辑 1 通过网络以观察网络对之后有逻辑 0 稳态信号的逻辑 1 瞬时信号的响应来测试图 14 的 AC 互连电路网络 108。应该理解的是, 也可以通过将网络初始化在一个适当稳态条件下随后使信号通过网络引起网络对之后有返回网络的稳态条件的瞬态响应信号的响应来测试其它 AC 互连电路网络。例如, 图 2A 中的 AC 网络 201 可以通过将网络初始化为稳态逻辑 1 随后使逻辑 0 通过网络以观察网络对之后有逻辑 1 稳态信号的逻辑 0 瞬时信号的响应来测试。

图 19 说明了用于测试位于输出单元 101 和输入单元 102 之间的 AC 耦合互连电路网络 108 的衰减测试指令的举例流程。假定 AC 耦合网络 108 是完好的且能通过以下衰减测试操作。

在图 19 中, 所示的衰减测试操作的进程以三个步骤 1901, 1902 和 1903 来完成。步骤一 1901, 采用当前的稳态数据 (逻辑 0) 来初始化输出单元 101 和输入单元 1401, 且使网络处于稳态逻辑 0 的条件中。稳态是指网络的输出在一定的时间周期 (例如, 在 5RC 时间常数) 之后将达到的状态。步骤二 1902 在时间 1906

更新输出单元 101 输出的逻辑 1 信号并且在更新到输入单元 1401 的信号瞬时 1904 执行第一次捕获。步骤三 1903 在更新信号的稳态时间 1905 执行第二次捕获且将测试结果移出输入单元 1401，以便于检查。

在步骤二 1902 中，步骤一 1901 中加载到输入单元 1401 的逻辑 0 通过 XOR1806 与从网络输出的瞬时逻辑 1 输入 (IN) 累加，该信号将使逻辑 1 在时间 1904 捕获到输入单元的 D-FF 1809 中。在步骤三 1903 中，步骤二 1902 中输入单元 1401 所捕获到的逻辑 1 又通过 XOR1806 与从网络输出的稳态逻辑 0 累加，该信号使得逻辑 1 在时间 1905 再次捕获到输入单元的 D-FF1809 中。在步骤三 1903 中，将逻辑 1 移出输入单元 1401 的 D-FF 1809 表示网络 108 通过衰减测试的操作。

图 20 说明了用于测试位于输出单元 101 和输入单元 1401 之间有故障的 AC 耦合互连电路网络的衰减测试指令的举例流程。在图 20 的 AC 耦合互连电路网络 108 中的故障是下拉电阻器 R 和到输入单元 1401 的输入 (IN) 之间的开路 2004。除了开路故障 2004 以外，图 20 的 AC 网络 108 相同于图 19。在图 20 中，再次显示了衰减测试操作的进程，且以三个步骤 1901, 1902 和 1903 来完成。步骤一 1901，采用当前的稳态数据 (逻辑 0) 来初始化输出单元 101 和输入单元 1401，且使网络处于稳态逻辑 0 的条件中。步骤二 1902 在时间 1906 更新输出单元 101 输出的逻辑 1 信号并且在更新到输入单元 1401 的信号瞬时 1904 执行第一次捕获。步骤三 1903 在更新信号的稳态时间 1905 执行第二次捕获且将测试结果移出输入单元 1401，以便于检查。

在步骤二 1902 中，步骤一 1901 中加载到输入单元 1401 的逻辑 0 通过 XOR1806 与从网络输出的瞬时逻辑 1 输入累加，该信号将使逻辑 1 在时间 1904 捕获到输入单元的 D-FF 1809 中。在步骤三 1903 中，步骤二 1902 中输入单元 1401 所捕获到的逻辑 1 又通过 XOR1806 与从网络输出的稳态逻辑 0 累加，在图 20 中该信号由于在 2004 处的开路而为逻辑 1。在步骤三时间 1905 的第二次捕获操作使得逻辑 0 被捕获到输入单元的 D-FF1809。在步骤三 1903 中，将逻辑 0 移出输入单元 1401 的 D-FF 1809，这表示网络 108 未能通过衰减测试的操作。

图 21 说明了用于测试位于输出单元 101 和输入单元 1401 之间包含有不正确 R 和/或 C 数值的 AC 耦合互连电路网络的衰减测试指令的举例流程。在该例子中，不正确的 R/C 数值会引起网络具有比期望值更长的 RC 时间常数。除了不正确的 R/C

数值之外，图 21 的 AC 网络结构上是正确的。

在图 21 中，再次显示了衰减测试操作的进程，且以三个步骤 1901，1902 和 1903 来完成。步骤一 1901，采用当前的稳态数据（逻辑 0）来初始化输出单元 101 和输入单元 1401，且使网络处于稳态逻辑 0 的条件中。步骤二 1902 在时间 1906 更新输出单元 101 输出的逻辑 1 信号并且所更新到输入单元 1401 的信号瞬时 1904 执行第一次捕获。步骤三 1903 在更新信号的稳态时间 1905 执行第二次捕获且将测试结果移出输入单元 1401，以便于检查。

在步骤二 1902 中，步骤一 1901 中加载到输入单元 1401 的逻辑 0 通过 XOR1806 与从网络输出的瞬时逻辑 1 输入累加，该信号将使逻辑 1 在时间 1904 捕获到输入单元的 D-FF 1809 中。在步骤三 1903 中，步骤二 1902 中输入单元 1401 所捕获到的逻辑 1 又通过 XOR1806 与从网络输出的稳态逻辑 0 累加，在图 21 中该信号由于不正确的 R/C 的数值而为逻辑 1。在步骤三时间 1905 的第二次捕获操作使得逻辑 0 被捕获到输入单元的 D-FF1809。在步骤三 1903 中，将逻辑 0 移出输入单元 1401 的 D-FF 1809，这表示网络 108 未能通过衰减测试的操作。

图 20 和 21 的衰减测试操作都产生了输入单元 1401 的失败输出。为了有助于确定图 20 和图 21 的失效网络的原因，可以进行附加的衰减测试操作。确定失效的原因使得被识别出的缺陷能够被更快修复。所附加的衰减测试相同于图 20 和图 21 所示的其它衰减测试，除了在第三步骤 1903 中的第二次捕获操作（在 1905）受下列两个原因而延迟：（1）延长了 TCK 时钟周期，或（2）由于在进入 Capture2 状态之前使 TAP 先从 Update&Capture 1 状态转换到 Run Test/Idle 状态。发生第二次捕获操作延迟的这两种方法都在有关图 14 和图 16 中作了讨论。

延长在时间 1906 更新和在时间 1905 的第二次捕获之间的时间将不能消除在图 20 例子中所示的缺陷，因为开路 2004 阻止 RC 网络放电进入稳态。然而，延长了在时间 1906 更新和在时间 1905 的第二次捕获之间的时间通过允许 RC 网络有更长的时间放电至它的稳态将能消除图 21 例子所示的缺陷。于是，所附加的衰减测试操作能够识别在图 20 和图 21 缺陷之间的差异，以便于修复处理。

上述讨论的传输测试能够测试通过图 19 至图 21 所示网络 108 从输出单元 101 传输到输入单元 1401 的瞬时信号，但它不能对网络 108 返回到稳态进行测试。因此，衰减测试指令超越传输测试指令的优势在于它能够测试网络 108 的瞬态和

稳态的两个条件。

周期测试指令的描述

周期测试指令能够测试从一个器件的输出通过 AC 或 DC 耦合互连电路到一个器件的输入所传输信号的周期。图 22 说明了利用周期测试指令进行测试的 AC 互连电路网络 2203。AC 网络 2203 不同于原先的 AC 网络 108，其中它包括两个端电阻器 2205 和 2206，一个连接着电源或第一电压，而另一个连接着地或小于第一电压的第二电压。在两个电阻器之间节点 (IN) 的稳态电压为小于第一电压但大于第二电压，这根据电阻器数值来确定。

周期测试指令需要对常规输入 102 和输出 101 的边界单元作改进。图 22 的输出单元 2201 经改进后包括双态输出模式，而改进的输入单元 2202 包括了原先衰减测试指令所需的改进，并加上了通过/失败标志存储器。这些单元的改进将结合图 27 和图 28 作更加详细的讨论。

在图 22 的时序图中，当 TAP 在时间 2208 进入 Run Test/Idle (RTI) 状态时周期测试指令开始操作，正如由 RTI 信号变为高所指示的。RTI 信号来自 TAP 且表示 TAP 处于 Run Test/Idle 的状态的时间。在图 26 中将描述 RTI 信号。在进入 RTI 状态之前，扫描操作将初始逻辑状态加载到输入单元 2201 和输入单元 2202。利用 JTAG 的采样/预装 (Sample/Preload) 指令就能够执行扫描的操作。在时序图中，该逻辑状态为逻辑 0，且在时间 2207 的 TAP Update-IR (UIR) 状态的 TCK 下降沿将周期测试指令加载到指令寄存器并更新指令寄存器时，在时间 2210 从输出单元 2201 输出该逻辑状态。

在周期测试指令的操作中，使输出单元 2201 能够对网络 2203 的输入 (通过 OUT) 驱动交替 (翻转) 的信号，同时使输入单元 2202 能够在网络 2203 的输出 (通过 IN) 捕获交替信号的瞬时值。在时序图中，输出单元 2201 的输出 (OUT') 在时间 2212, 2214, 2216, 和 2218 的翻转测试选通脉冲 (TTS) 的上升沿翻转。

TTS 信号是一个新的信号，由 TCK 来定时，把它增加到 JTAG 结构中能允许周期测试指令，正如图 23 所讨论的。作为输出单元 2201 输出的一系列双态输出 (OUT')，到输入缓冲器的输入 (IN) 在时间 2213, 2215, 2217, 和 2219 翻转。输入单元 2202 在每个翻转和捕获的窗口 2209 中 CTS 的上升沿捕获输入到输入单

元 2202 的瞬时数据。

在时序图中的 IN 信号的波形表示为网络 2203 输出类型，它可以在翻转输入施加到网络 2203 的输入时观察到。通过 IN 信号的虚线表示图 22 所示输入缓冲器的阈值点。于是，在周期 1 的翻转和捕获窗口 2209 的起始位置，输入单元 2202 将在 2213 的瞬时捕获逻辑 1；在周期 2 的翻转和捕获窗口 2209 的起始位置，输入单元 2202 将在 2215 的瞬时捕获逻辑 0。正如所看到的，在每个翻转和捕获窗口 2209 中，输出单元 2201 的输出数据都会发生变化且这些变化通过网络 2203 的传输被输入单元 2202 捕获。当 TAP 处于 RTI 状态时，翻转和捕获窗口 2209 会持续产生，从而能够产生任意数量的翻转和捕获窗口周期。

图 23 说明了对图 5 所示 JTAG 结构的改进，使之能够实现周期测试指令。周期测试的改进再次使用了原先所述 CTS 604，605 和延迟 603 的电路。适用于周期测试指令的新的电路包括：（1）AND 门电路 2305，它用于对边界扫描寄存器 2302 产生翻转控制信号，（2）AND 门电路 2306，它用于对边界扫描寄存器产生标志（Flag）控制信号，（3）NAND 门电路 2307 和 AND 门电路 2308，它们用于对边界扫描寄存器产生翻转测试信号（TTS），（4）延迟电路 2309，它用于对门电路 2307 产生预 DTCK（PDTCK）信号，（5）所设计的指令寄存器 2303 用于识别周期测试指令并在总线 606 上输出控制信号（即，先前所述的 Test 和 CTSENA 信号加上新的信号 Cycle 和 CTSENA），使之能够执行周期测试指令，以及（6）改进 TAP 2304 使之能输出 RTI 信号和 UDR/RTI 信号。

再参照图 27A 和 27B，来自指令寄存器控制总线 606 的信号 Test 和 Cycle，以及来自门电路 2306 的 Flag 信号都输入到图 27A 和 27B 所示的“完全”2701 和“只观察”2702 输入单元的改进的捕获和移位电路 2703 部分。除了电路 2703 以外，输入单元 2701 和 2702 与图 18 所示的输入单元 1801 和 1802 相同。图 27 所示的捕获和移位电路 2703 类似于图 18 所示的捕获和移位电路 1803，只是电路 2703 包含 Pass/Fail 标志，它由 D-FF 2705 和 AND 门电路 2704 组成，并且四输入 MUX 2706 用来取代两输入 MUX1808。当 Test，Cycle，以及 Flag 信号都设定为低时，可对电路 2703 进行编程，使之能以常规 JTAG 的捕获和移位模式（例如，Exttest 指令模式），或以本发明的传输测试指令模式来操作。当 Test 信号为高而 Cycle 和 Flag 信号为低时，可对电路 2703 进行编程，使之以本发明的衰减测试模式来

操作。

当 Test 信号为低而 Cycle 和 Flag 信号为高时, 可对电路 2703 进行编程, 使之以本发明的周期测试指令模式来操作。于是, 电路 2703 就可表示成捕获和移位电路的一个实现例, 它可编程以操作本发明所有测试指令, 加上常规 JTAG 测试指令的操作。对图 23 要注意的是, 如果 Cycle 是低, 则 Flag 被门电路 2306 强制为低; 但如果 Cycle 为高, 则 Flag 就会随着 TAP Capture—DR (CDR) 状态输出的数值而变化。

当 Cycle Test 指令被移入指令寄存器 2303 以及更新它时, 到电路 2703 的 Test 信号依旧保持低, 以允许 IN' 输入能够通过 Mux 1807 至 Mux 2706。同样, 当 Cycle Test 指令被更新时, 到电路 2703 的 Cycle 信号从低变高, 从而使 D—FF 2705 的输出 Set 输入信号无效。在低时, Cycle 信号强制 (设置) D—FF 2705 为逻辑 1 的条件, 即, 通过状态条件。于是, 在 Cycle Test 指令的起始处, D—FF 2705 将设置成通过状态。在加载 Cycle Test 指令之前, D—FF 1809 已经预置 (通过 Sample/Preload 指令) 成适当的初始状态, 以便于启动 Cycle Test 指令。

加载 D—FF 1809 适当的初始状态将是在图 22 中周期 (Cycle) 1 的翻转和捕获窗口 2209 时期在电路 2703 的 IN' 输入所接收到的期望信号状态的相反状态。正如在电路 2703 中所看到的, 如果 D—FF 1809 的初始状态和 IN' 输入所接收到的期望状态是相反的话, XOR 1806 将输出逻辑 1 并将其存储于 (响应在 ClockDR' 上的 CTS 信号) 通过/失败标志 D—FF 2705, 这表示通过。然而, 如果 D—FF 1809 的初始状态和 IN' 输入所接收到的期望状态是相同的话, XOR 1806 将输出逻辑 0 并将其存储于通过/失败 D—FF 2705, 这表示未能通过并将通过/失败的标志锁定在逻辑 0 失败的状态上。

在图 22 时序图中的 Cycle1 的翻转和捕获窗口 2209 描述了上述以 D—FF 1809 输出的初始逻辑 0 异或 IN' 的逻辑 1 的初始操作。在下一个 Cycle2 的翻转和捕获窗口 2209 重复上述的操作, 这次是通过将在 Cycle1 初始测试操作所产生的存储于 D—FF 1809 的逻辑 1 异或 IN' 的逻辑 0 (翻转后的数值)。当 TAP 是处于 Run Test/Idle 状态时, 就继续 D—FF 1809 的内容异或 IN' 的输入的过程。只要在 IN' 处的数值是与 D—FF 1809 的数值相反, 通过/失败标志就继续加载通过的数值 (即, 逻辑 1)。一旦在 IN' 处的数值等于在 D—FF 1809 的数值, 则通过/失败标志就加

载失败的数值（即，逻辑 0），且该失败的数值将一直保持到周期（Cycle）测试结束。

图 28 说明了边界寄存器 2302 改进的输出单元 2801，它能够完成在 Cycle 测试中的翻转和捕获窗口 2209 中所发生的翻转功能。输出单元 2801 是原先讨论的输出单元 2201 的一种较佳的实现。该改进包括在 Capture/Shift D-FF 2803 和 Update D-FF 2805 之间插入了 2 输入 Mux 2804。Mux 2804 的一个输入端与 D-FF 2803 的输出端相连接，而其另一个输入端与 D-FF 2805 的反向输出端相连接。Mux 2804 的输出端与 D-FF 2805 的输入端相连接。由图 23 的来自门电路 2305 的输入 Toggle 信号输入控制 Mux 2804。

在周期测试指令中，总线 606 的 Cycle 信号为高，从而使得 Toggle 信号能跟随着 TAP2304 输出的 RTI 信号。当 TAP 处于 Run Test/Idle 状态时，则来自 TAP 2304 的 RTI 输出信号设定为高，如由加入 TAP 2304 的图 26A 的门电路 2601 确定。只要 TAP 处于 Run Test/Idle 状态（RTI 为高）并且周期测试指令是当前所加载的指令（Cycle 为高），则 Toggle 信号就设定为高。除了使能门电路 2305 的 Toggle 输出之外，RTI 信号还使能门电路 2307 的 TTS 时钟输出和门电路 604 的 CTS 时钟输出。

在图 26A 中，OR 门电路 2602 允许在门电路 2601 的 RTI 输出和门电路 1301 的 Update-DR（UDR）输出之间进行转换。该转换受 Cycle 信号控制。在周期测试指令（Cycle 为高）的过程中，门电路 2602 的 UDR/RTI 输出就向门电路 604 传输 RTI 信号，从而使能适用于在 Run Test/Idle 状态中周期测试操作的 CTS 时钟。在传输测试或衰减测试指令（Cycle 为低）的过程中，门电路 2602 的 UDR/RTI 输出就向门电路 604 传输 UDR 信号，从而使能适用于在 Update-DR 状态中传输和衰减测试操作地 CTS 时钟。

在图 28 中，当 Toggle 为高且模式输入设定为将 D-FF 2805 的输出通过 Mux 2806 与输出单元 2801 的 OUT' 的输出相耦合时，在来自门电路 2307 的每个 TTS 时钟输入（经过 Update-DR'）的过程中，OUT' 输出都会翻转。当 Toggle 为低时，Mux 2804 将 D-FF2803 的输出与 D-FF2805 的输入相耦合，以允许在输出单元产生常规的 JTAG 指令（例如，Extest）操作。于是，附加的 Mux 2804 使得输出单元 2801 可编程，为常规 JTAG 指令的操作或本发明的周期测试指令的操作。

在周期测试操作结束时, TAP 2304 从 Run Test/Idle 转换为执行数据寄存器的扫描操作, 以消去图 27C 电路 2703 的通过/失败标志中的数值。

图 25 说明了在周期测试指令的过程中如何使用 TAP 2304 状态的。在图 25 中使用了图 9 的 Run Test/Idle 状态来执行上述的翻转(Toggle)和捕获(Capture)的操作, 以及在图 25 中仍使用图 9 的 Capture—DR 的状态作为 Capture Flags 状态以捕获通过/失败的标志。当 T 根据图 25 状态 AP 的操作进入 Capture Flags 状态时, 图 23 的门电路 2306 的 Flag 信号将通过 TAP Capture—DR 状态指示器(CDR)变高而变成高。

图 26B 说明了对 TAP 2304 增加门电路的例子, 使之能在 TAP 2304 处于 Capture—DR 状态时检测和输出 CDR 信号。正如在图 27C 的电路 2703 中所看到的, 当 Flag 输入为高而 Shift—DR 输入为低时, Mux 2706 选择 D—FF 2705 中的通过/失败数值捕获到 D—FF 1809 中以便于移出。于是, 在周期测试指令的过程中, 数据寄存器的扫描操作将捕获和移出通过/失败的标志数值, 而不是捕获和移出在输入单元 2701 和 2702 的 IN'输入的数值的常规操作。

图 24A 说明了通过扫描输入指令并更新在指令寄存器 2303 中的指令实现开始周期测试指令操作的时序图。在时间 2401 和在 TAP 2304 处于 Update—IR 状态中的 TCK 的下降沿, 从指令寄存器更新周期测试指令。响应该更新之后, 在指令寄存器输出总线 606 上的 Cycle, TTSENA, 以及 CTSENA 信号都变为高。TAP 从 Update—IR 状态转换到 Run Test/Idle 状态, 该状态使 TAP 的 RTI 信号输出在时间 2402 设为高。虽然未示出, TAP 的 UPD/RTI 信号输出也在时间 2402 设为高。当 RTI 变成高, 也将边界寄存器 2302 的输出单元 2801 设置在其翻转(toggle)模式, 这时门电路 2305 的 Toggle 输出也变成为高。

响应 RTI (和 UPD/RTI) 信号变成为高, 门电路 604 将 DTCK 时钟信号传递到 CTS 输出, 而门电路 2307 将 PDTCK 时钟信号传递到 TTS 输出。CTS 和 TTS 两个信号都通过门电路 605 (ClockDR') 和 2308 (Update—DR') 输入到边界寄存器。在图 23 的电路例子中包括了原先提到的延迟电路 2309, 以在 TCK 和 PDTCK 之间提供少量的延迟, 从而保证在 TTS 被 RTI 信号选通和截止时不会对 TTS 时钟产生干扰。延迟电路 2309 可以是原先已在图 8A 讨论过的一类延迟电路, 且仅仅在 TCK 和 PDTCK 之间提供延迟, 例如, 从时间 2403 延迟到时间 2404。

在 Run Test/Idle 状态中, 第一次翻转和捕获的操作分别在时间 2405 和 2406 发生在 TTS 和 CTS 的上升沿。第二次翻转和捕获的操作发生在时间 2407 和 2408 的下次 TTS 和 CTS 的上升沿。当 TAP 从 Run Test/Idle 状态转换到 Select-DR 状态时, RTI (和 UPD/RTI) 信号在时间 2409 变成为低, 这就关闭了以后的 TTS 和 CTS 时钟信号。另外, 在 TCK 和 PDTCK 之间的少量延迟 (由延迟电路 2309 提供) 将使 RTI 信号在时间 2412 的 PDTCK 上升沿之前的时间 2409 变成为低, 以防止 TSS 被关闭时对 TTS 所产生的时钟干扰。当 TAP 转换到 Capture-DR 状态时, TAP 使能它的 Clock-DR 信号输出。在时间 2410 的 Clock-DR 输出的上升沿, 输入单元 2701 和 2702 的通过/失败标志被捕获到 D-FF 1809 中。当 TAP 进入 Shift-DR 状态时, 所捕获到的通过/失败标志在时间 2411 的每个 TCK 上升沿移出, 用于检查。

图 24B 显示了有可能在紧跟着图 24A 所示的第一次翻转和捕获测试顺序之后执行第二次翻转和捕获测试顺序。在图 24B 中, 所示的 TAP 通过图 25 的状态 Exit1-DR 从图 24A 的 Shift-DR 状态转换到 Update-DR 状态。在 Update-DR 状态中, 输入和输出单元在时间 2413 TAP 的 Update-DR 时钟上升沿采用新的测试初始化数据更新, 从而开始第二次翻转和捕获的测试顺序。一旦从 Update-DR 状态转换到 Run Test/Idle 状态, RTI 信号就变成为高, 从而开始第二次翻转和捕获测试顺序。图 24B 的第二次翻转和捕获测试顺序的其余操作都相同于图 24A 的第一次操作。也可以进行任何次数的翻转和捕获测试顺序。

尽管所示的两次翻转和捕获周期操作产生于图 24A 和 24B 所示的测试时序的过程中, 很显然 TAP 可维持在 Run Test/Idle 状态持续或多或少个 TCK 周期, 以能够产生相应的或多或少次翻转和捕获周期操作。

图 24C 显示了在进行了周期测试指令之后, 将另一个指令加载到指令寄存器 2303 中, 以执行其它操作。当其它指令在时间 2414 的 TCK 下降沿更新时, 总线 606 上的 Cycle, TTSENA, 和 CTSENA 信号都设定为低, 使 JTAG 结构处于不同于周期测试指令模式的其它模式中。在其它指令的过程中, 进入 Run Test/Idle 状态并不会引起对 TTS 和 CTS 时钟信号的触发。

图 29 说明了在第一器件输出 OUT 和 OUT* 和第二器件输入 IN 和 IN* 之间耦合的差分 AC 耦合接口网络 2900。输出边界单元 2901 将输入驱动为第一器件差分输

出缓冲器 2905, 使之对差分 AC 信号路径 2910 和 2911 产生差分输出信号。输出边界单元 2901 可以是任何一类上述电路, 例如, 单元 101 或单元 2201 (2801)。输入边界单元 2902 接收第二器件的差分输入缓冲器的输出, 该差分输入缓冲器接收差分 AC 信号路径 2910 和 2911 的信号。输入边界单元 2902 可以是任何一类上述电路, 例如, 单元 102, 单元 1401 (1801, 1802), 或单元 2202 (2701, 2702)。

此外, 只观察输入边界单元 2903 位于差分 AC 耦合信号路径 2910 的第二器件 IN 输入, 以及只观察输入边界单元 2904 位于差分 AC 耦合信号路径 2911 的第二器件 IN*输入。只观察输入边界单元 2903 和 2904 可以是任何一类上述讨论的 Observe Only 单元, 例如, 单元 506, 单元 1802, 或单元 2702。所使用的输入或输出单元的类型取决于将应用于差分网络 2900 的测试类型, 例如, 常规 JTAG Extest, 或本发明的传输测试, 衰减测试, 和/或周期测试。尽管未示出, 将输入单元 2903, 2904, 和 2902 串联在第二器件的扫描路径中, 从而允许在 JTAG 扫描访问和在本发明的测试指令控制的过程中能够一起访问这些单元。

信号路径 2910 和 2911 可以各种方式终止。信号路径 2910 和 2911 的终端模块 2907 和 2908 可以采用上拉终端 2912 和下拉终端 2913 的混合。另外, 终端模块 2909 可以使用组合的上拉和下拉终端 2914 或简单耦合的电阻器 2915。也可以使用其它类型的终端方式。

在传输测试指令的过程中, 边界单元 2901 向输出缓冲器 2905 输出测试信号, 该信号将在 OUT 和 OUT*的信号上产生互补的输出转换。网络 2900 的瞬态响应分别在 IN 信号路径 2910 和 IN*信号路径 2911 的边界单元 2903 和 2904 捕获。另外, 输入缓冲器 2906 的瞬态响应输出也同时在边界单元 2902 捕获。传输测试输出和捕获的操作发生在捕获测试选通脉冲窗中, 如先前图 4 单端 AC 耦合网络传输测试例所述。唯一不同在于在差分 AC 耦合网络中采用三个输入边界单元 2902, 2903 和 2904 而不是图 4 单个输入边界单元 102。输入单元 2903 对信号路径 2910 的适当操作进行测试, 输入单元 2904 对信号路径 2911 的适当操作进行测试, 而输入单元 2902 对两个信号路径以及输入缓冲器 2906 的适当操作进行测试。尽管输入单元 2902 可以单独用于第二器件, 但第二器件的附加输入单元 2903 和 2904 在输入单元 2902 表示失败的情况下提供诊断信息。例如, 如以上单端网络 108 和 2203 中所述, 输入单元 2903 和 2904 可以直接检测由于故障或错误数值或 R 和/或 C 等

引起的 0 或 1 的阻塞, 开路, 或降级的信号路径 2910 或 2905。

在衰减测试指令的过程中, 边界单元 2901 向输出缓冲器 2905 输出测试信号, 该信号将在 OUT 和 OUT* 的信号产生互补的输出转换。衰减测试的第一次捕获在单元 2903, 2904, 和 2902 中得到网络 2900 的瞬态响应。衰减测试的第二次捕获在单元 2903, 2904, 和 2902 中得到网络 2900 的稳态响应。正如以上在图 14 和图 16 单端 AC 网络中所述, 产生了第一次和第二次捕获操作。另外, 在图 14 的单端 AC 耦合网络和图 29 的差分 AC 耦合网路之间的唯一不同是采用三个输入单元 2902, 2903 和 2904 而不是单个输入边界单元 1401。正如以上所提到的, 三个输入单元 2903, 2904, 和 2902 的使用在网络 2900 无法通过衰减测试的情况下可以提供更多的诊断信息。

在周期测试指令的过程中, 边界单元 2901 向输出缓冲器 2905 输出翻转的测试信号, 该信号将在 OUT 和 OUT* 的信号产生互补的输出转换。周期测试的捕获操作在单元 2903, 2904, 和 2902 中得到网络 2900 的瞬态响应。另外, 在图 22 的单端 AC 耦合网络和图 29 的差分 AC 耦合网路之间的唯一不同是采用三个输入单元 2902, 2903 和 2904 而不是单个输入边界单元 2202。此外, 三个输入单元 2903, 2904, 和 2902 的使用在网络 2900 无法通过衰减测试的情况下可以提供更多的诊断信息。

图 30 说明了常规 1149.1 测试域 3001 的界面 3003, 3004 扩展到 1149.1 测试域 3002, 例如, 块 3005, 以能实现本发明的传输和衰减测试指令。该测试域可以是 IC 中的一个子电路、MCM 上的电路小片、板上的 IC、地板上的电路板, 或者至少有两个互连电路测试域的其他可能实现, 一个只是 1149.1 的测试域, 而另一个则是具有本发明的传输和衰减测试的扩展测试域。

图 30 说明了如果没扩展测试域 3001 向扩展测试域 3002 输出, 扩展 1149.1 测试域 3002 的传输和衰减测试指令可以与没扩展的 1149.1 测试域 3001 共用。如果用 Exttest 指令加载两个测试域, 则在两个测试域之间的数字连接 3004 是可测试的, 但, 正如上述所讨论的, 在两个测试域之间的 AC 耦合 3003 互连电路是不可测试的。测试 AC 耦合互连电路 3003 的第一个方法是向测试域 3001 加载 Exttest 指令以及向测试域 3002 加载传输测试指令。执行 1149.1 的数据扫描 (即, 通过图 9 所示的数据寄存器扫描协议状态对测试域 3001 排序, 同时在锁定步骤中通过

图 10 所示的数据寄存器扫描协议状态对测试域 3002 排序) 将会引起测试域 3001 在 Update-DR 状态输出测试数据, 同时测试域 3002 在 Update-DR 状态 (即, 在图 4 所示的捕获测试选通脉冲 (CTS) 窗口) 开始捕获过程。通过假定图 4 所示的边界单元 101 处于测试域 3001 以及图 4 所示的边界单元 102 处于测试域 3002 并且检查图 4 的时序图, 这就可以看得更加清楚。于是, 包括了传输测试指令的测试域能够操作以从包含 Exttest 指令的测试域中接收测试信号来执行传输测试的操作。

测试 AC 耦合互连电路 3003 的第二个方法是向测试域 3001 加载 Exttest 指令以及向测试域 3002 加载衰减测试指令。如上所述, 执行 1149.1 的数据扫描, 将会引起测试域 3001 在 Update-DR 状态输出测试数据, 同时测试域 3002 在 Update-DR 状态 (即, 在图 4 所示的捕获测试选通脉冲 (CTS) 窗口) 开始第一次捕获 (Capture1) 并且在 Capture-DR 状态进行第二次捕获 (Capture2)。通过假定图 4 所示的边界单元 101 处于测试域 3001 以及图 4 所示的边界单元 102 处于测试域 3002 并且检查图 4 的时序图, 这就可以看得更加清楚。于是, 包括了衰减测试指令的测试域能够从包含 Exttest 指令的测试域中接收测试信号并且进行衰减测试的操作。

尽管详细描述了本发明, 但应该理解到: 可以在不脱离所附的权利要求书限定的发明主旨和范围下产生各种变化, 替代和变更。

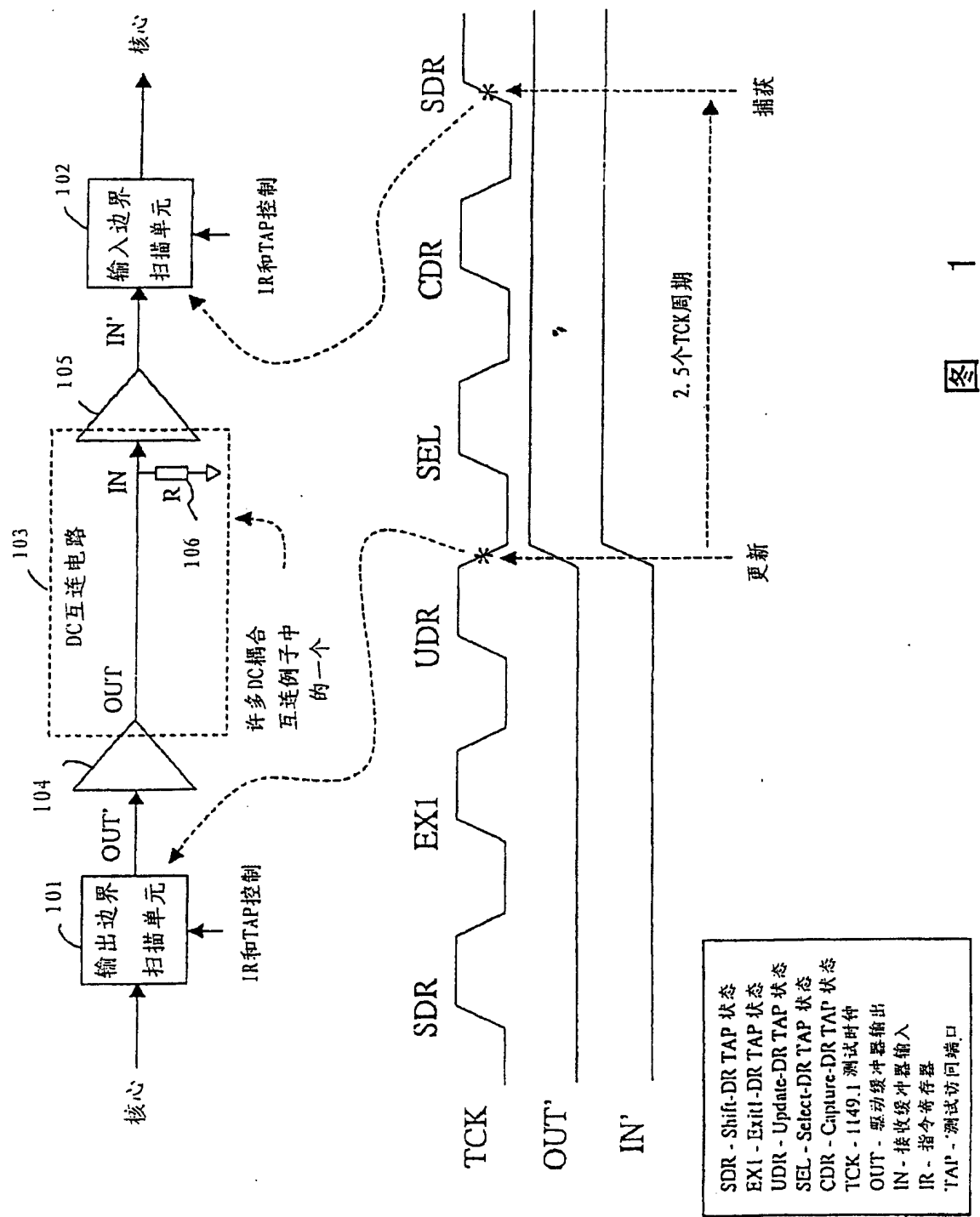
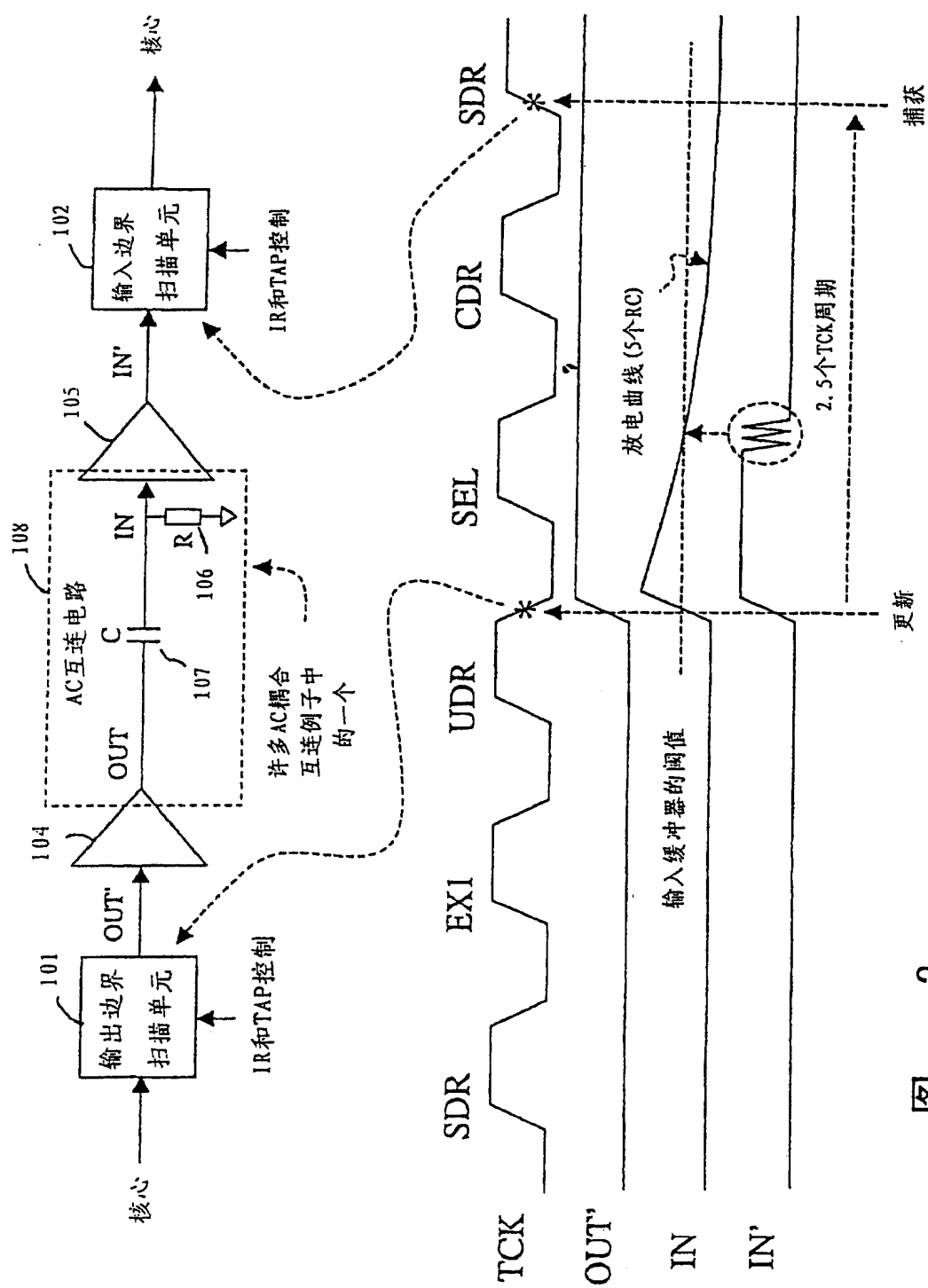


图 1



2
[A]

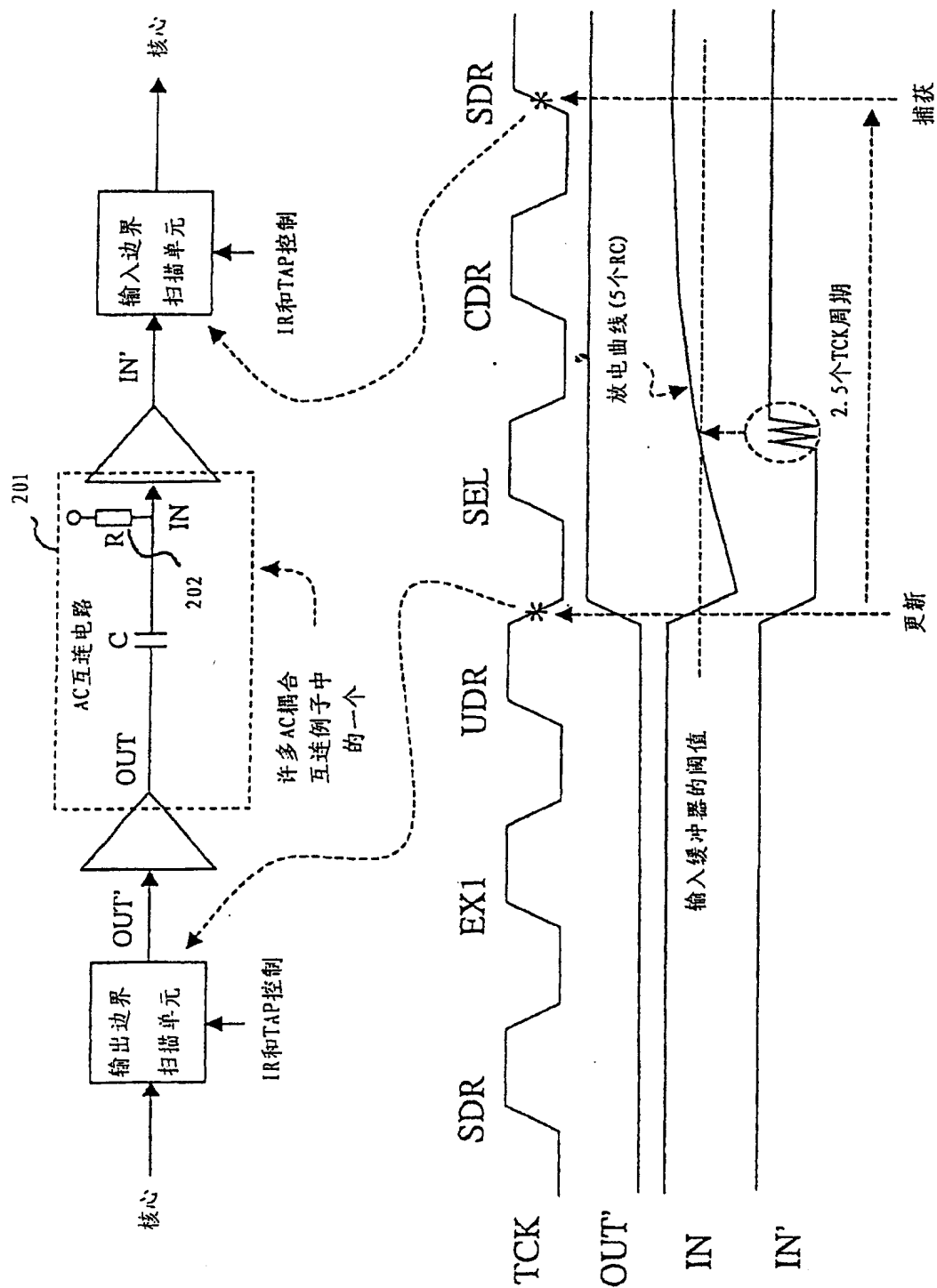


图 2A

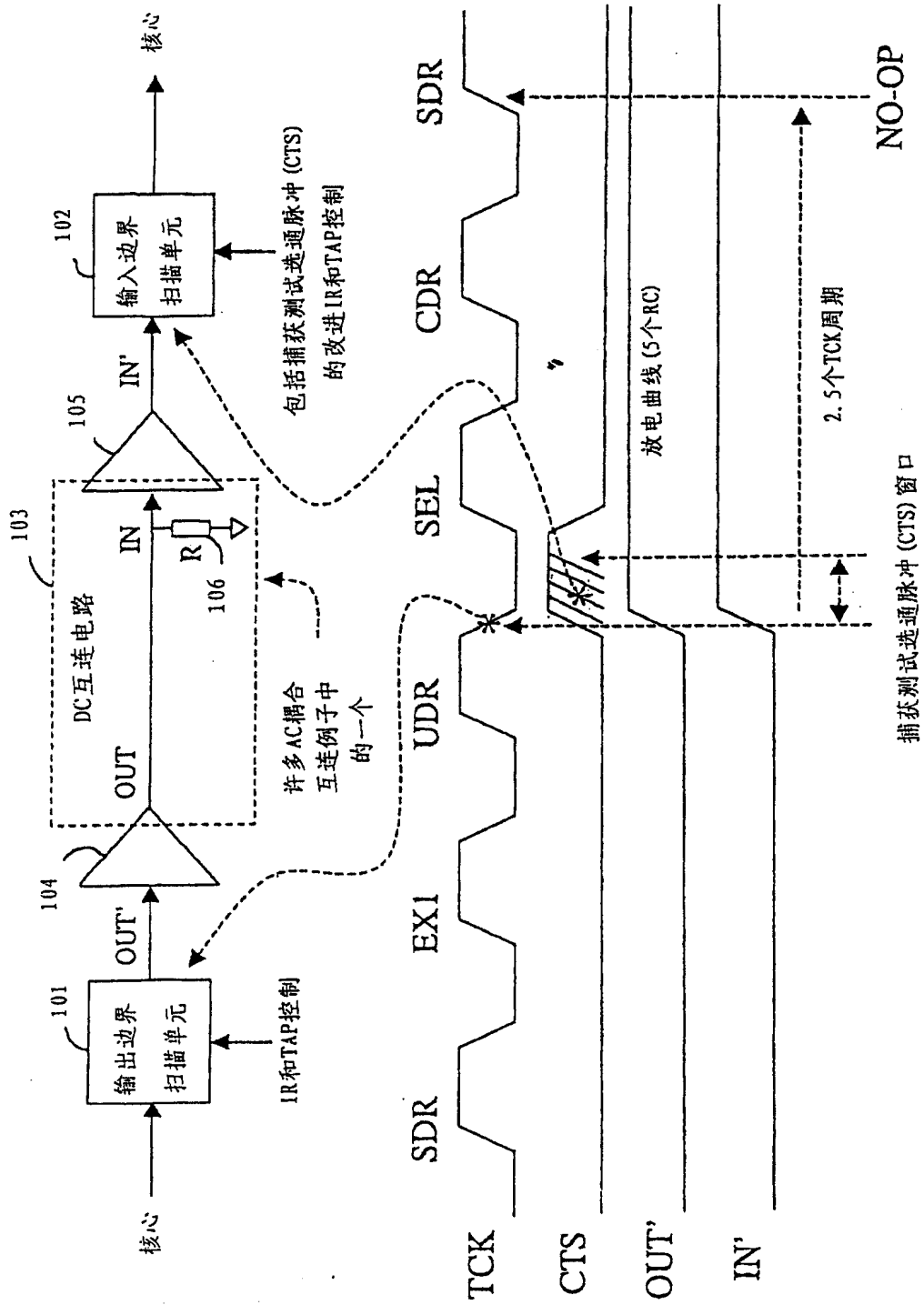


图 3

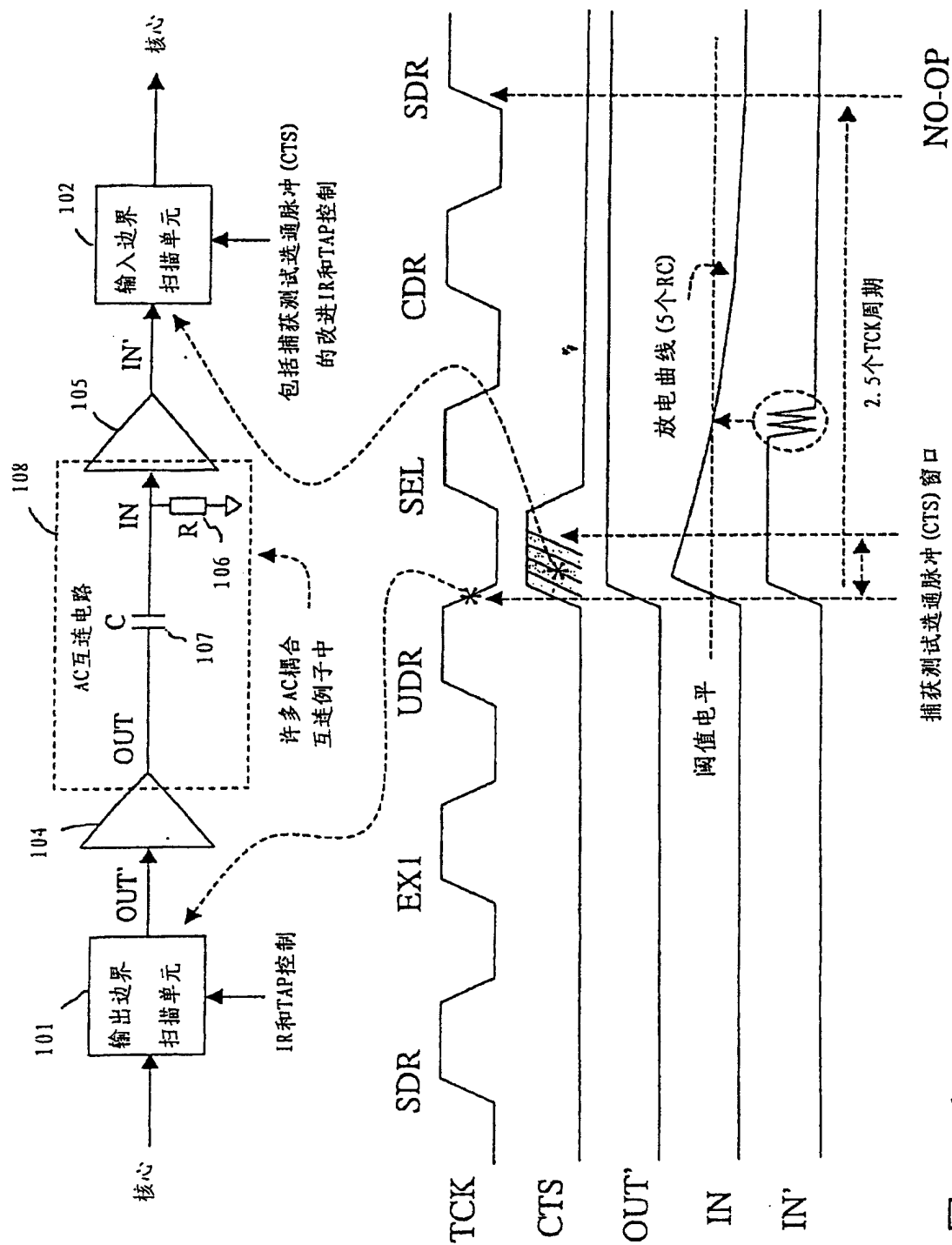
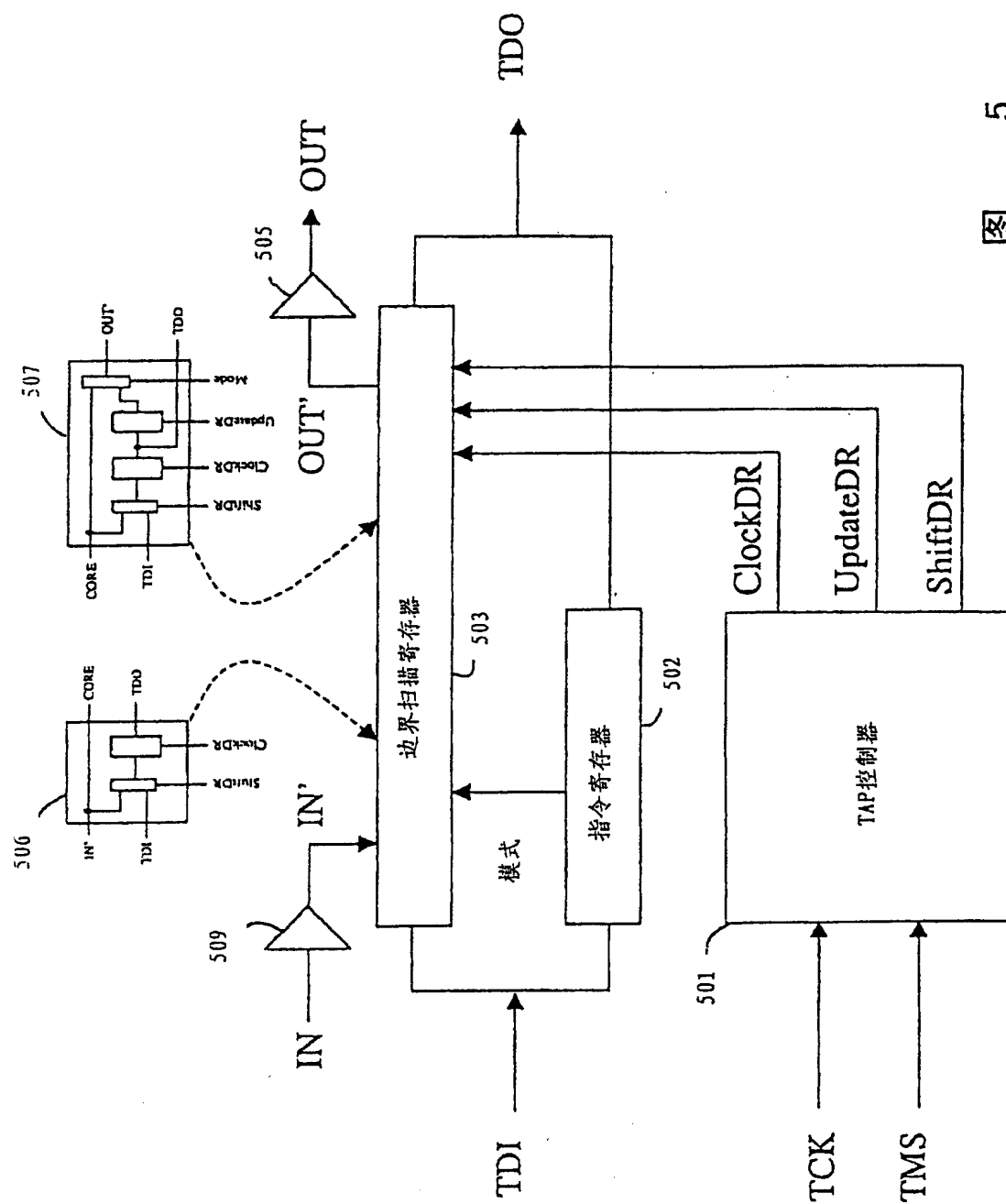


图 4



5

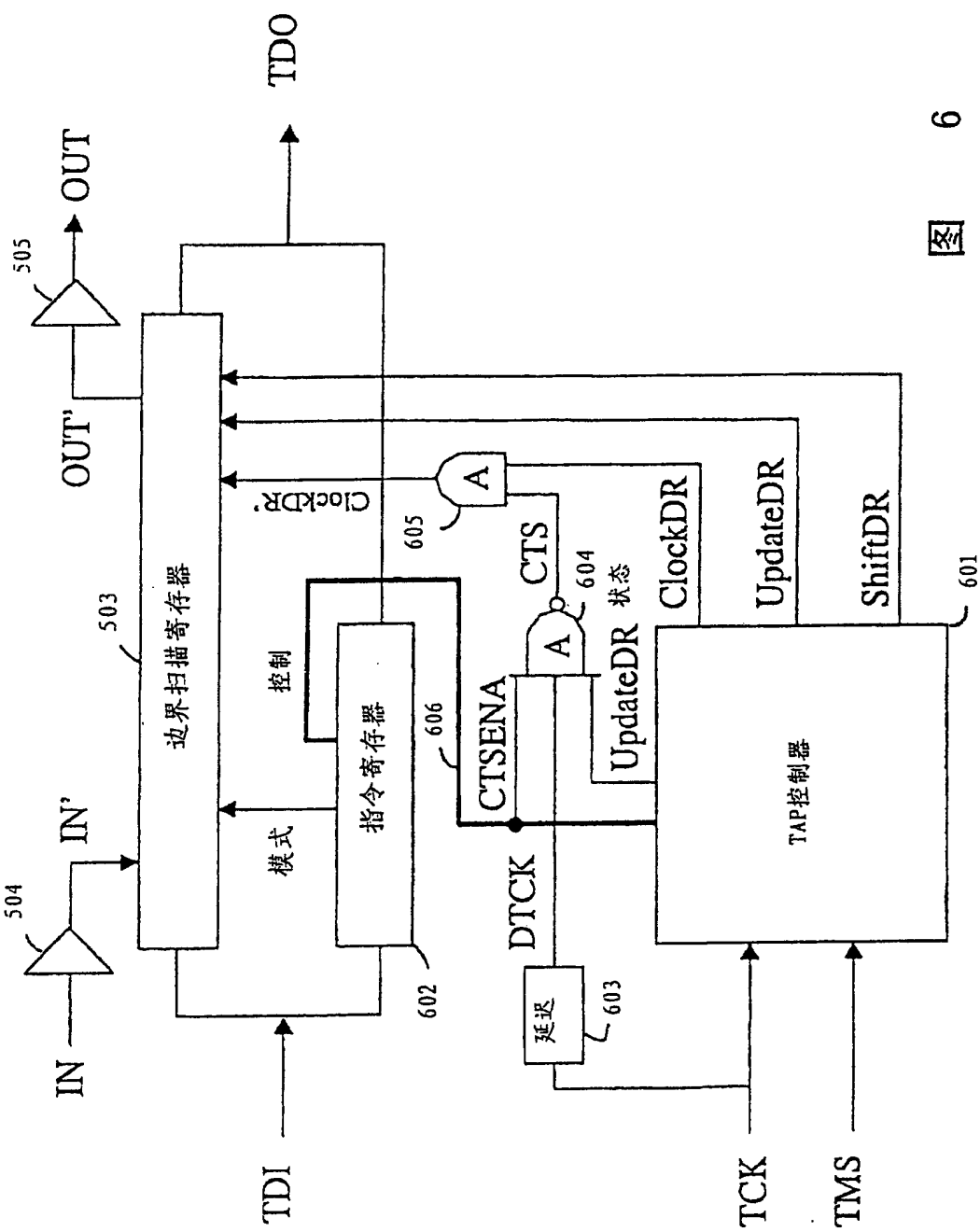


图 6

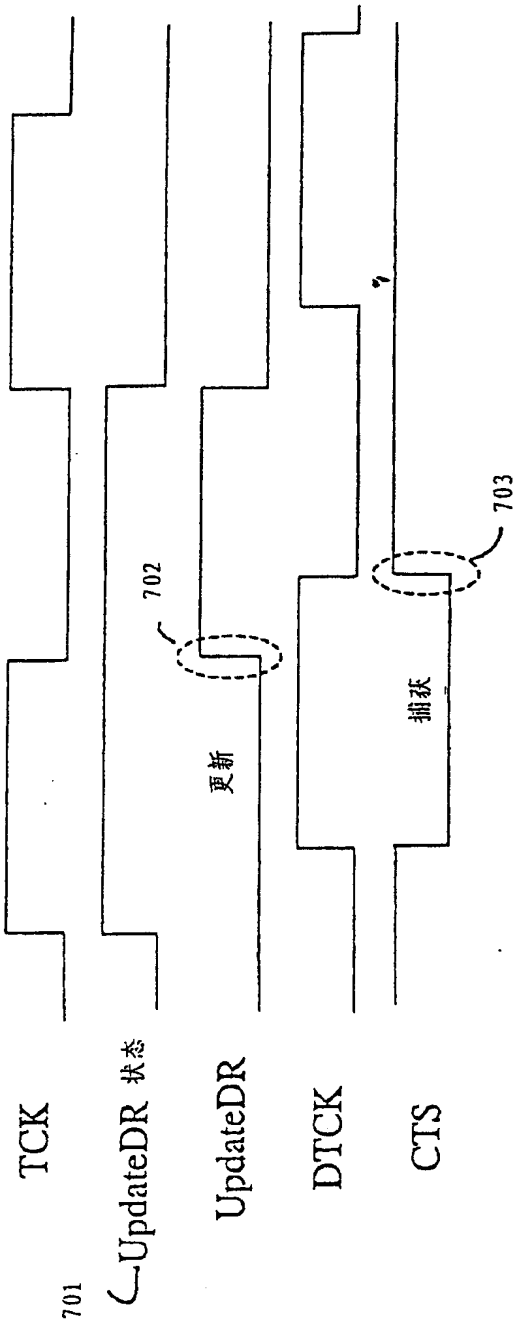


图 7

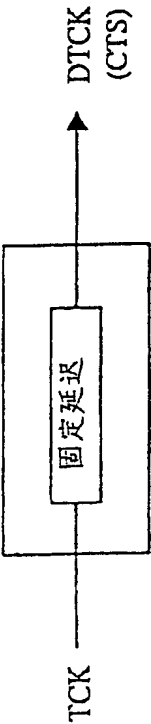


图 8A

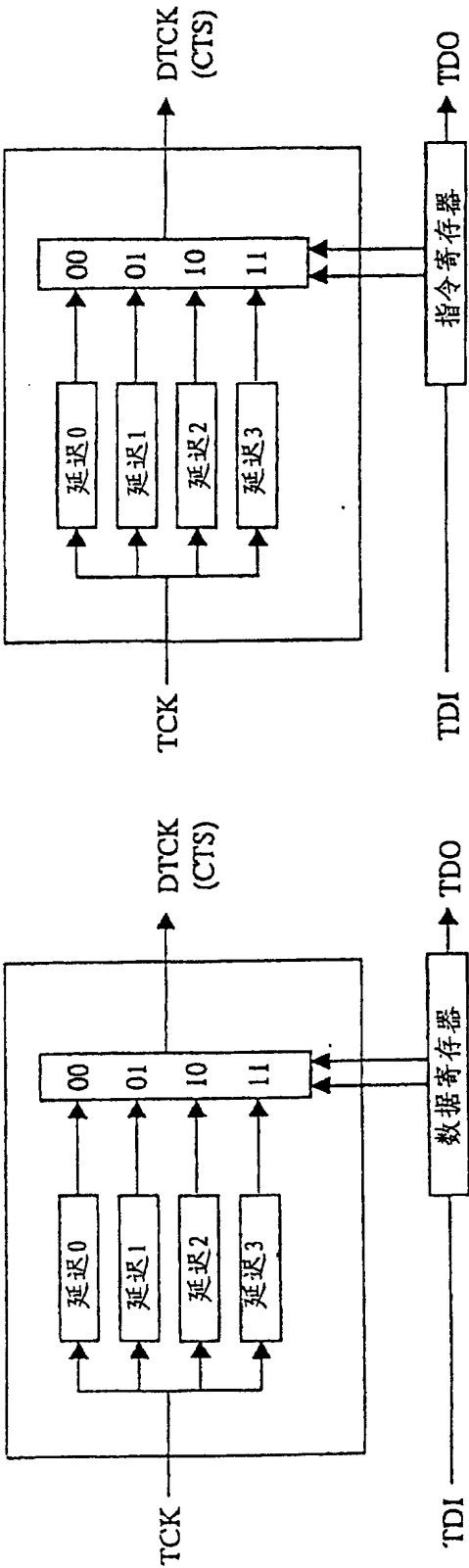


图 8B

图 8C

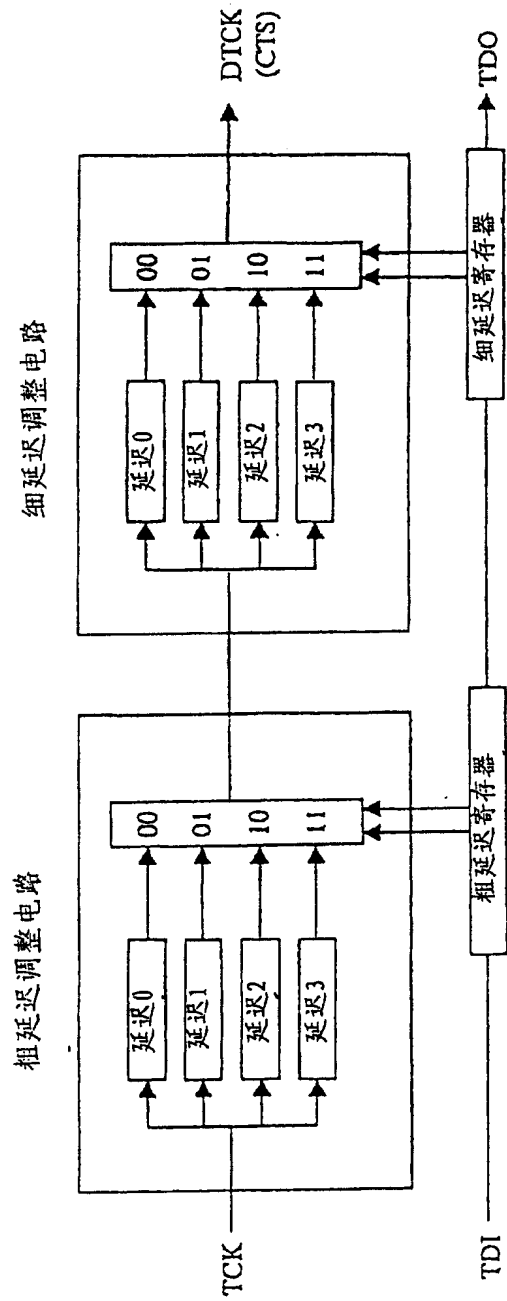


图 8D

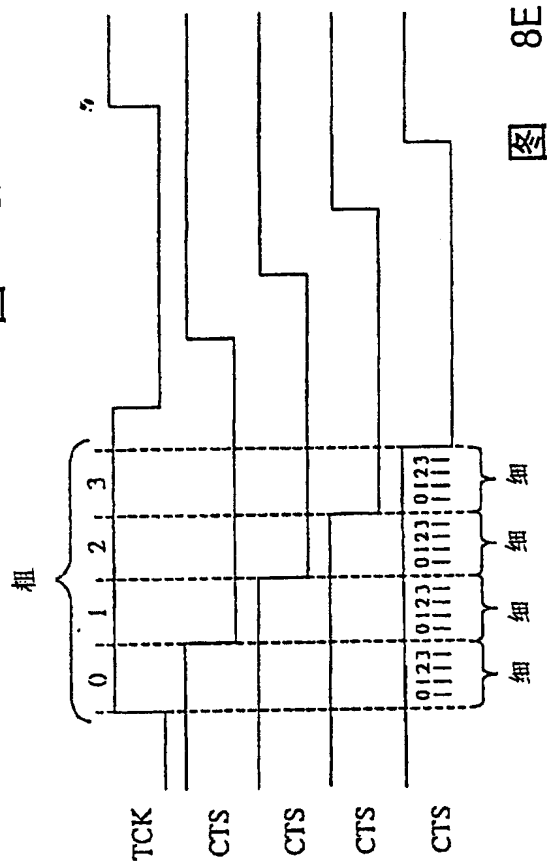


图 8E

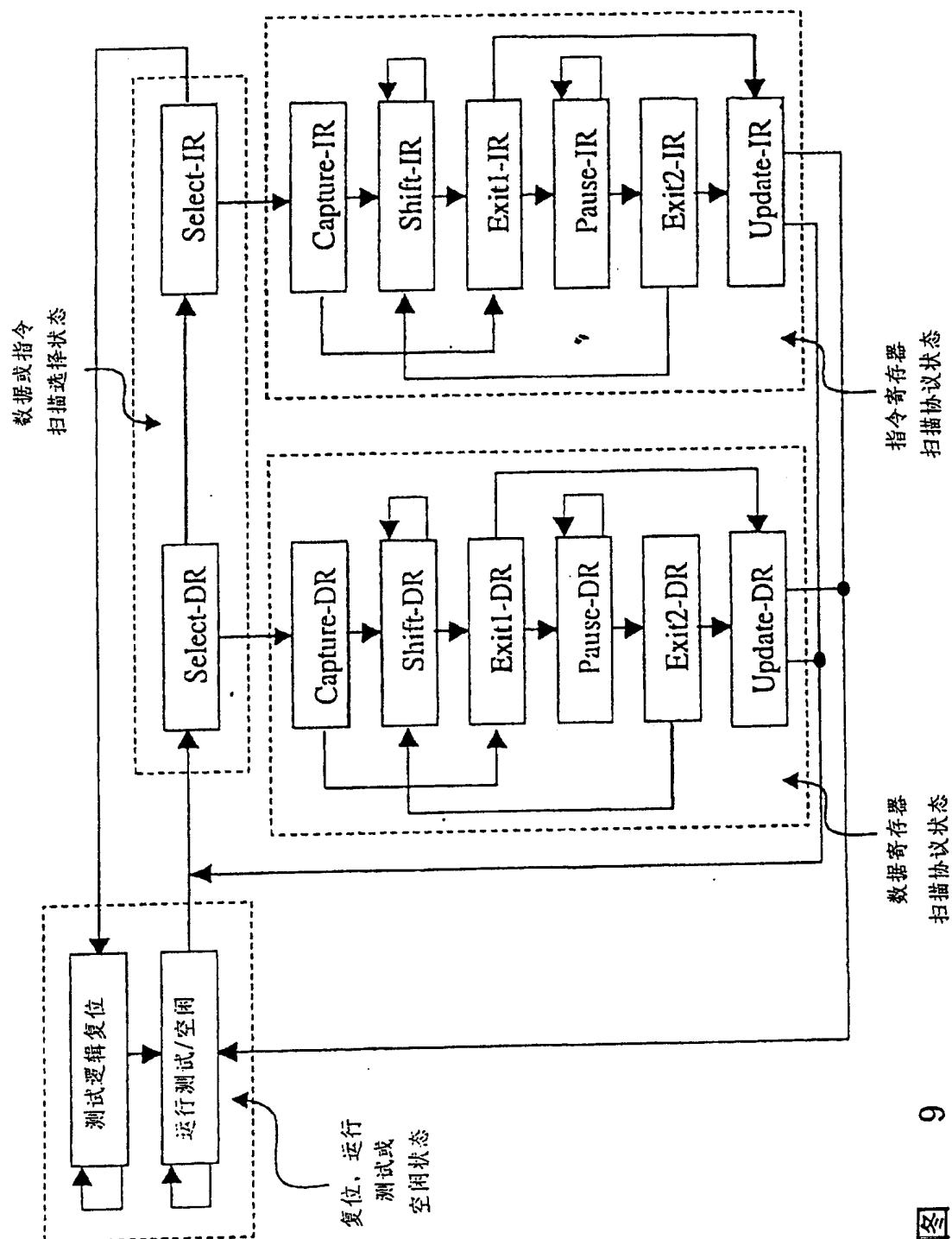


图 9

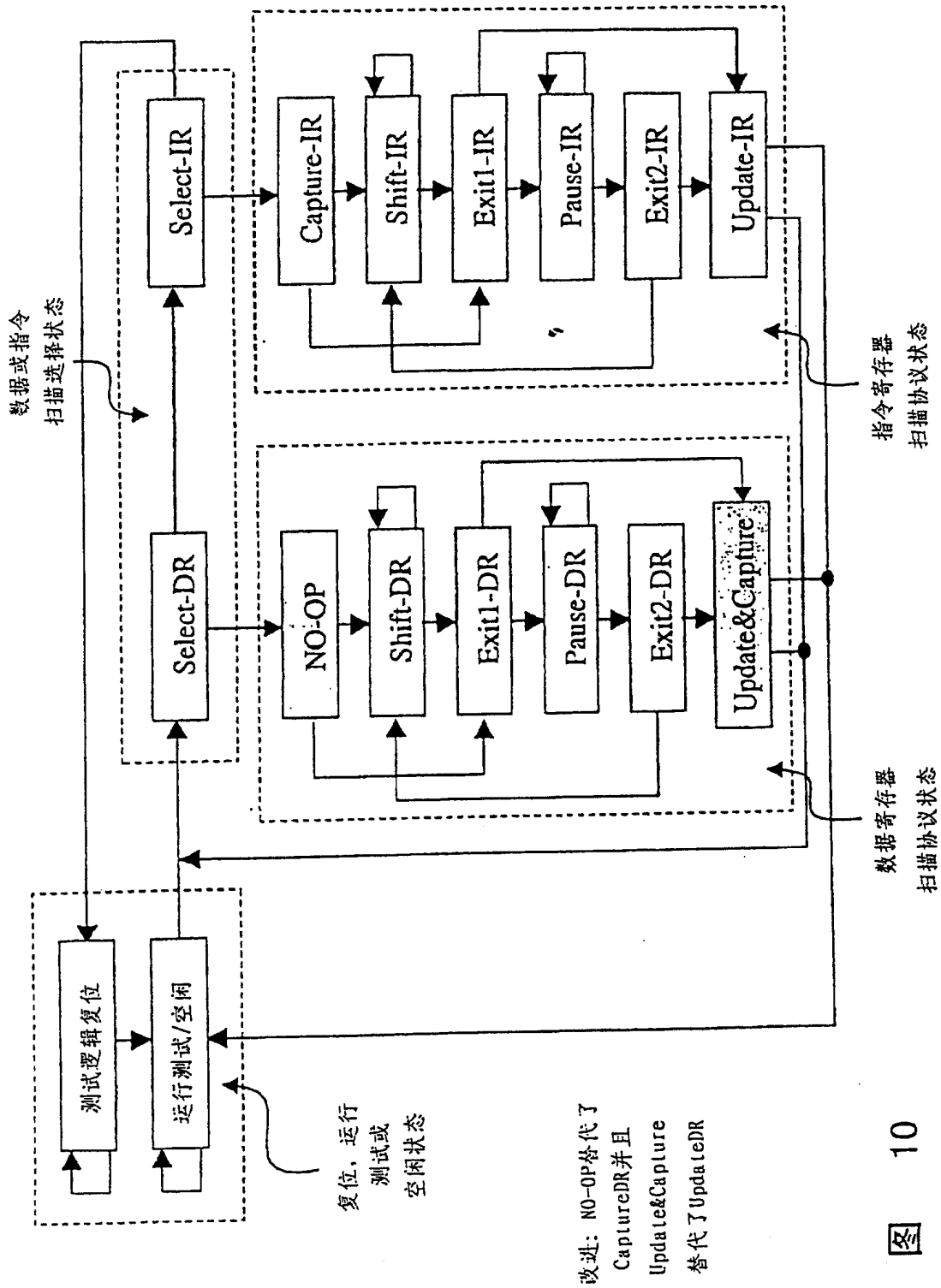
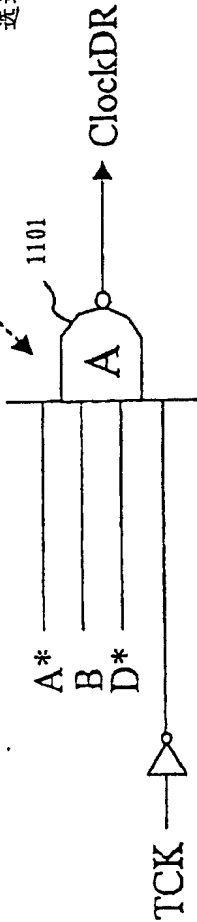


图 10

选自 IEEE 标准 1149.1-1990
的 1993 修改中图 5.5 的 ClockDR

选通电路例

* - 表示逻辑负

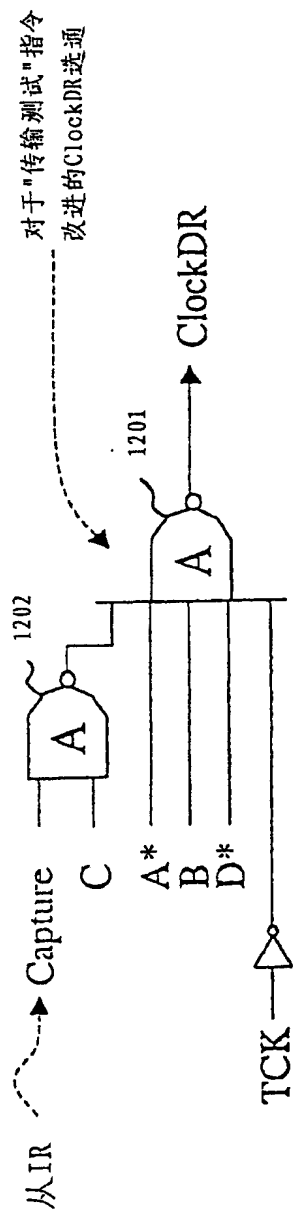


简化的真值表

D	C	B	A	TAP State	ClockDR
0	0	0	0	Exit2DR	Off
0	0	0	1	Exit1DR	Off
0	0	1	0	ShiftDR	On
0	0	1	1	PausedR	Off
0	1	0	0	SelectIR	Off
0	1	0	1	UpdateDR	Off
0	1	1	0	CaptureDR	On
0	1	1	1	SelectDR	Off
1	0	0	0	Exit2IR	Off
1	0	0	1	Exit1IR	Off
1	0	1	0	ShiftIR	Off
1	0	1	1	PauseIR	Off
1	1	0	0	RTidle	Off
1	1	0	1	UpdateIR	Off
1	1	1	0	CaptureIR	Off
1	1	1	1	TLReset	Off

图

11



适用于传输测试, Capture = 1

适用于 Exttest, Capture = 0

D	C	B	A	TAP State	ClockDR
0	0	0	0	Exit2DR	Off
0	0	0	1	Exit1DR	Off
0	0	1	0	ShiftDR	On
0	0	1	1	PausedR	Off
0	1	0	0	SelectIR	Off
0	1	0	1	UpdatedR	Off
0	1	1	0	CaptureDR	On
0	1	1	1	SelectDR	Off
1	0	0	0	Exit2IR	Off
1	0	0	1	Exit1IR	Off
1	0	1	0	ShiftIR	Off
1	0	1	1	PauseIR	Off
1	1	0	0	RTidle	Off
1	1	0	1	UpdateIR	Off
1	1	1	0	CaptureIR	Off
1	1	1	1	TLReset	Off

D	C	B	A	TAP State	ClockDR
0	0	0	0	Exit2DR	Off
0	0	0	1	Exit1DR	Off
0	0	1	0	ShiftDR	On
0	0	1	1	PausedR	Off
0	1	0	0	SelectIR	Off
0	1	0	1	UpdatedR	Off
0	1	1	0	CaptureDR	Off
0	1	1	1	SelectDR	Off
1	0	0	0	Exit2IR	Off
1	0	0	1	Exit1IR	Off
1	0	1	0	ShiftIR	Off
1	0	1	1	PauseIR	Off
1	1	0	0	RTidle	Off
1	1	0	1	UpdateIR	Off
1	1	1	0	CaptureIR	Off
1	1	1	1	TLReset	Off

NO-OP

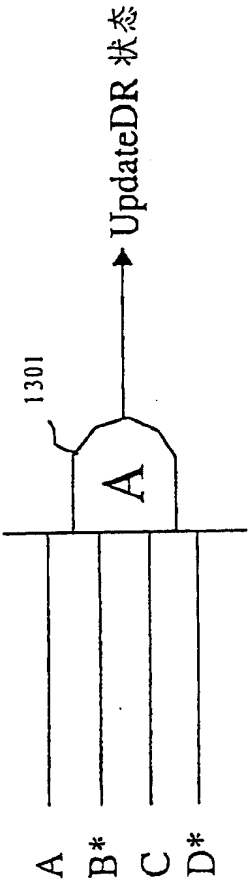


图 13

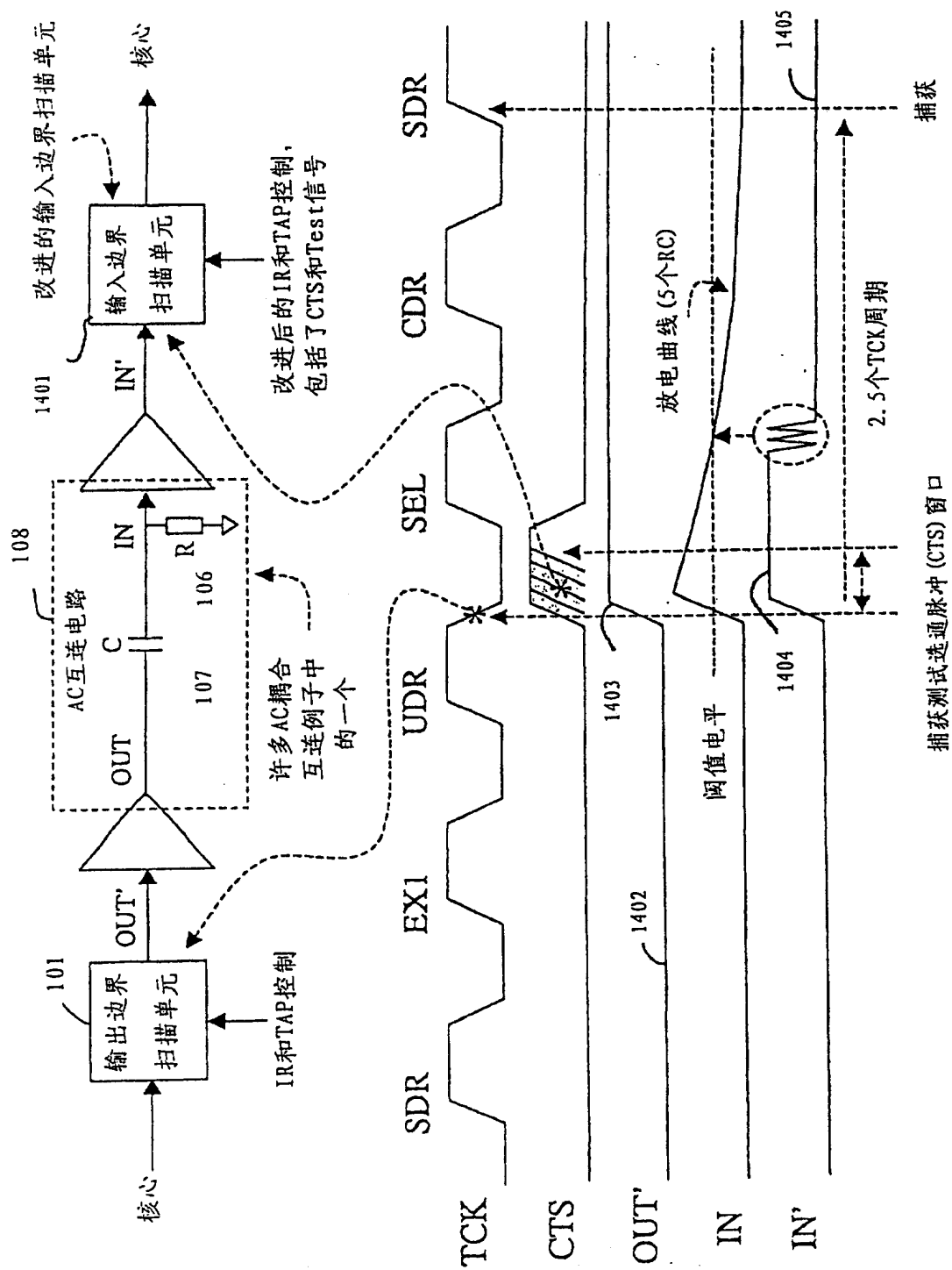


图 14

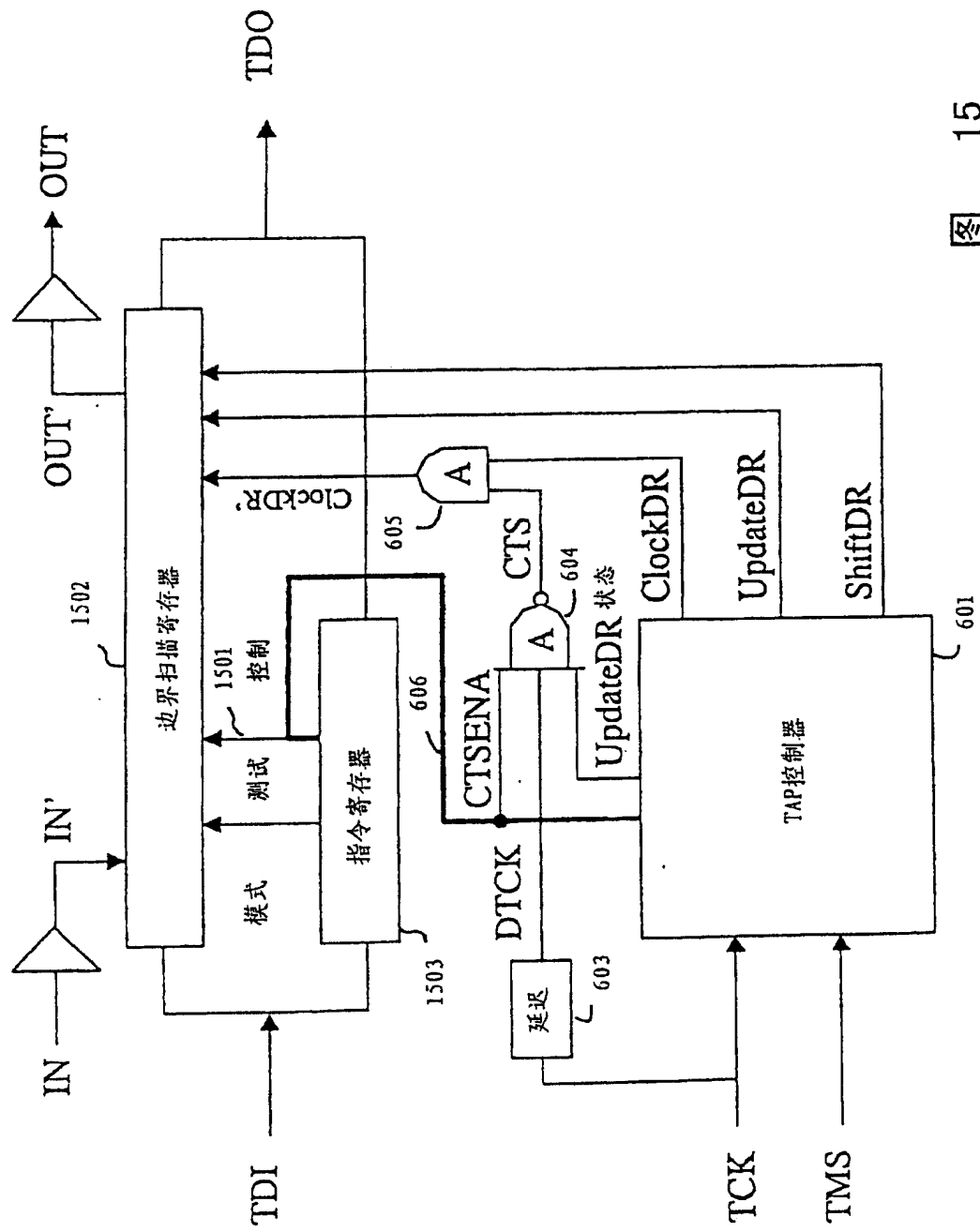


图 15

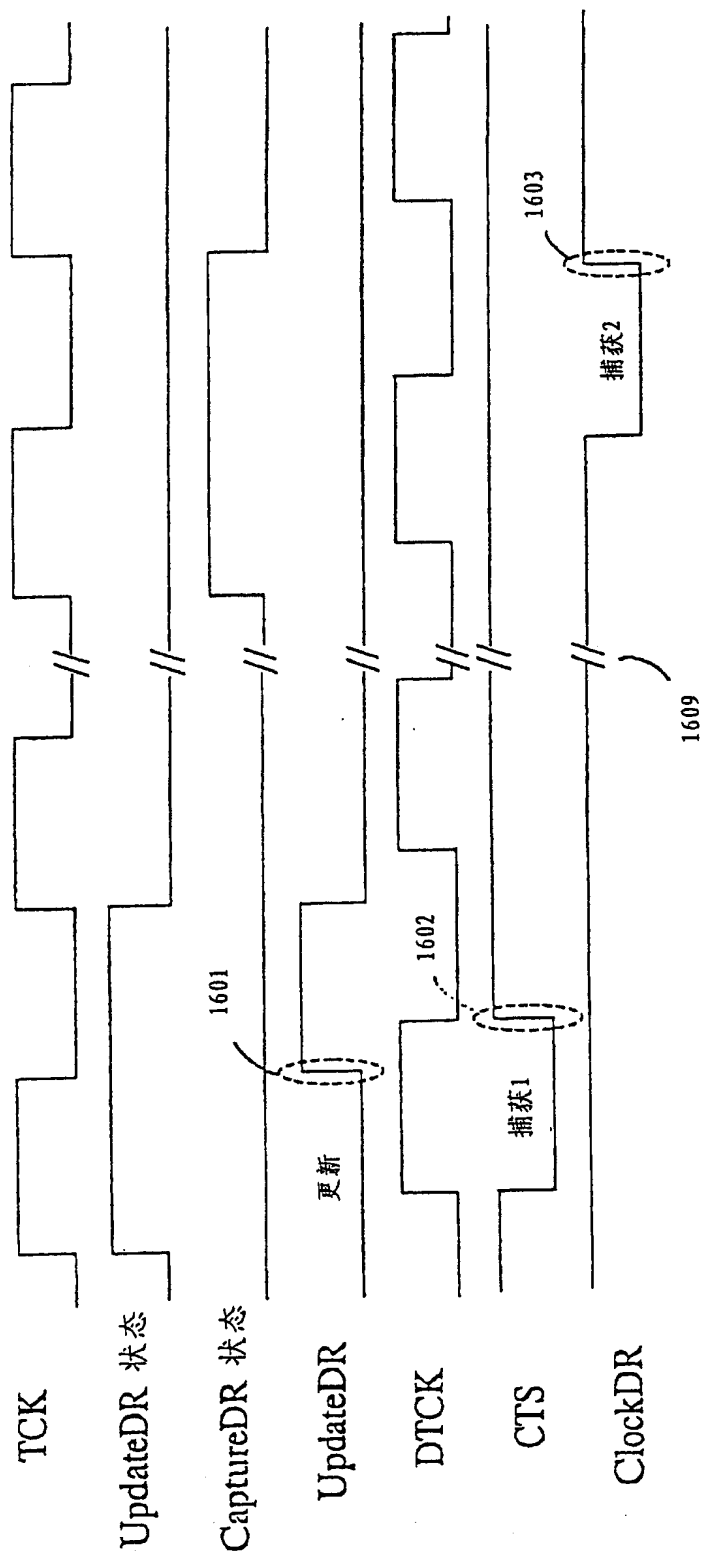


图 16

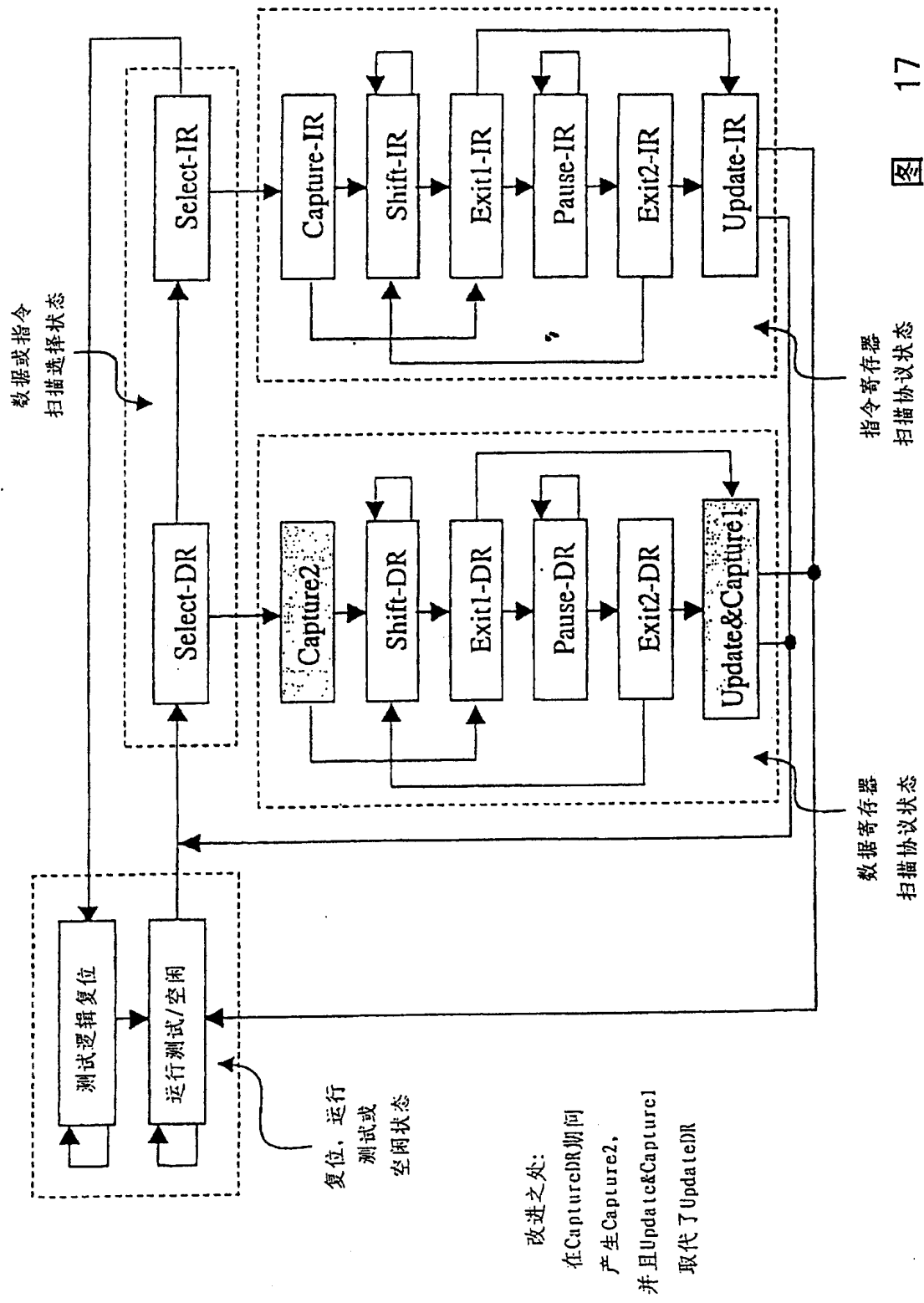
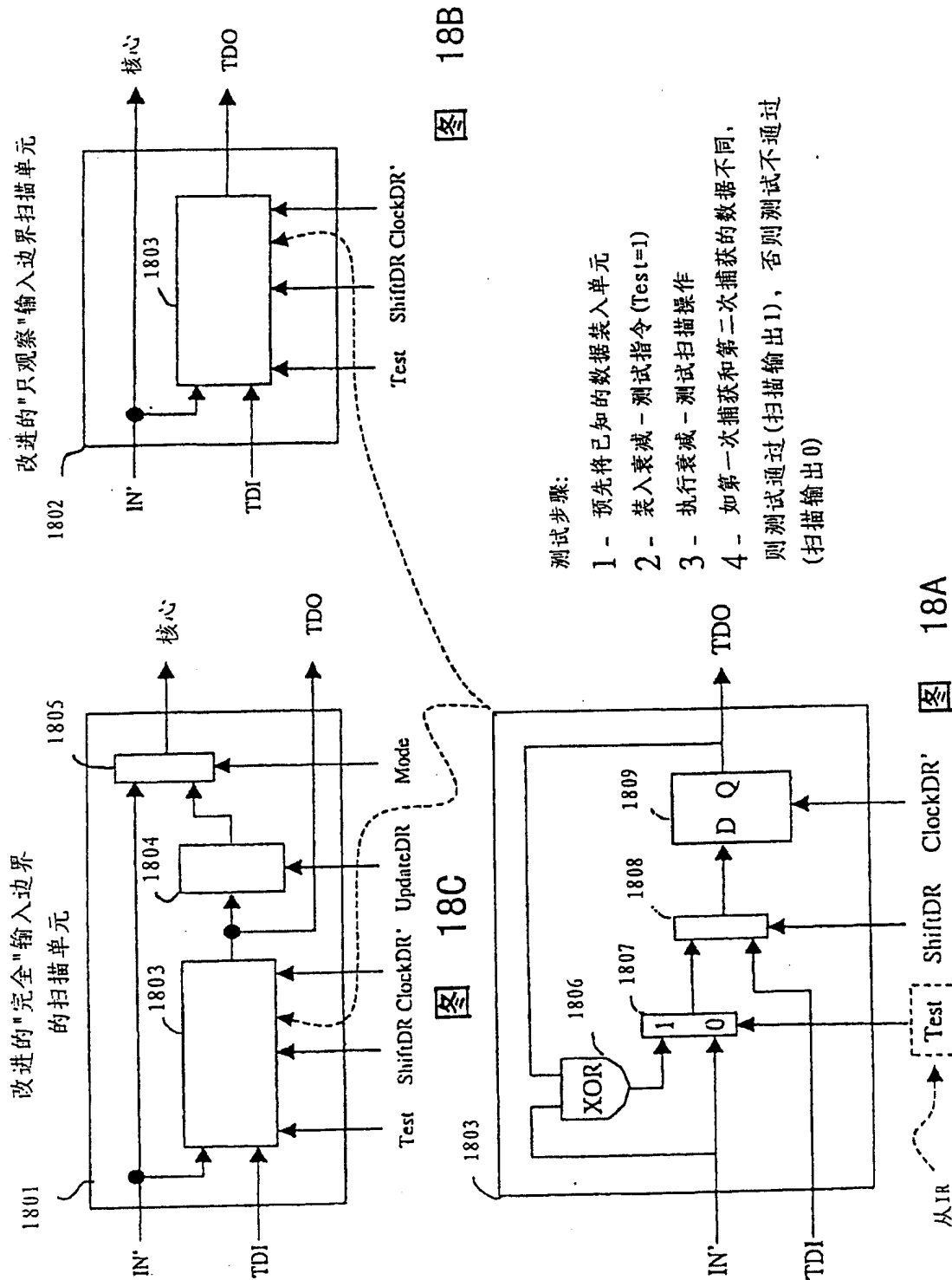


图 17



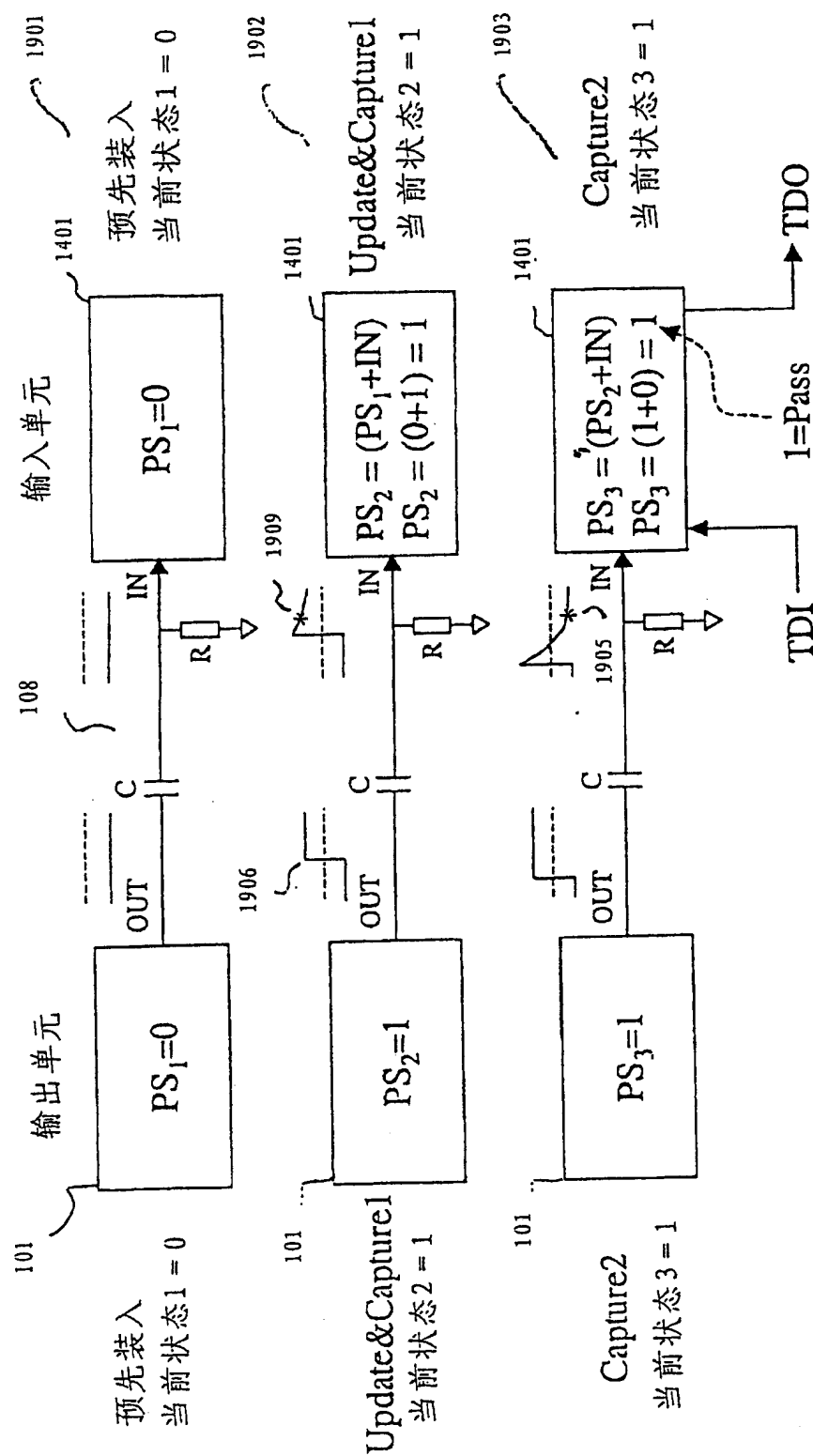
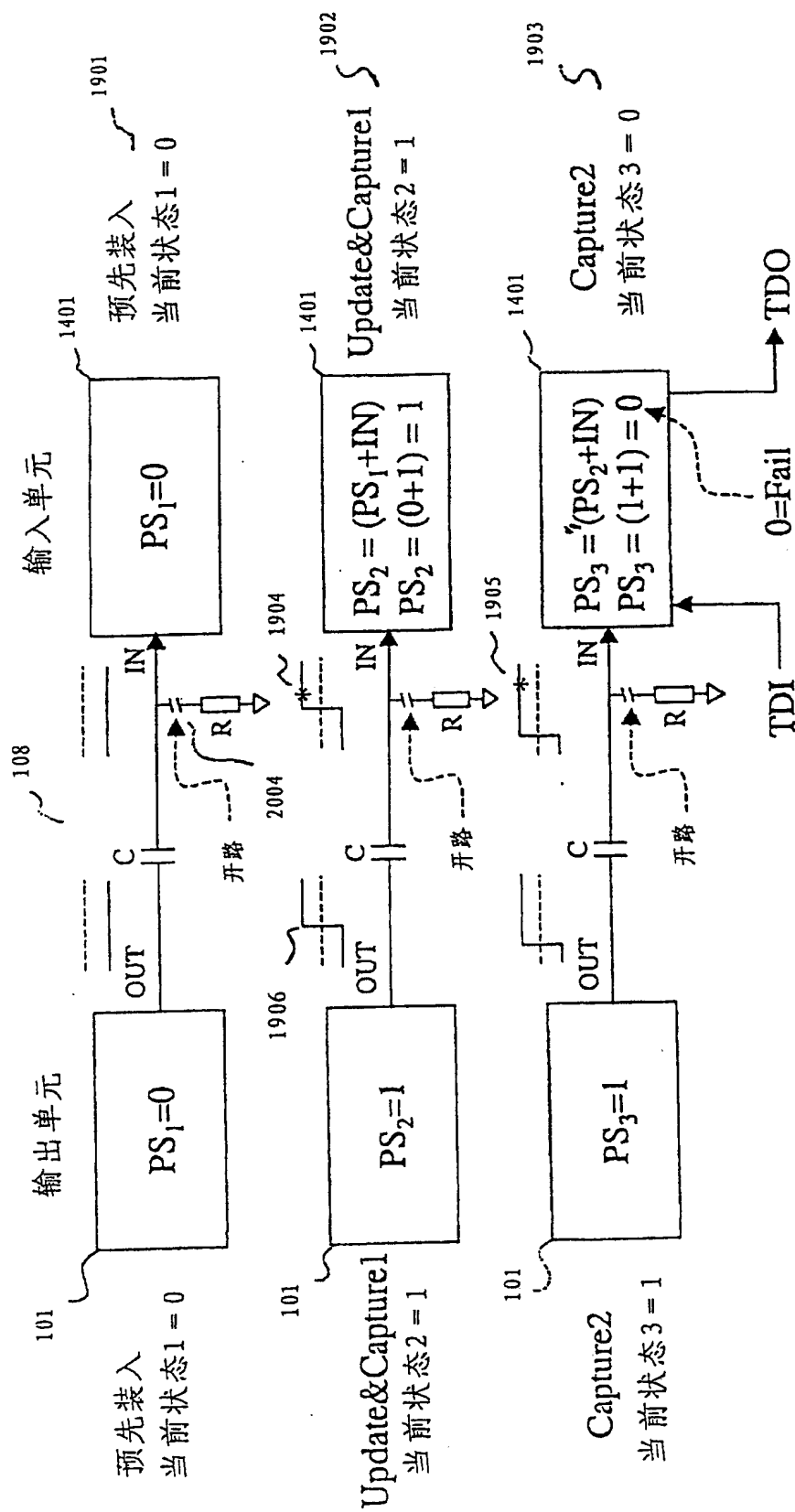
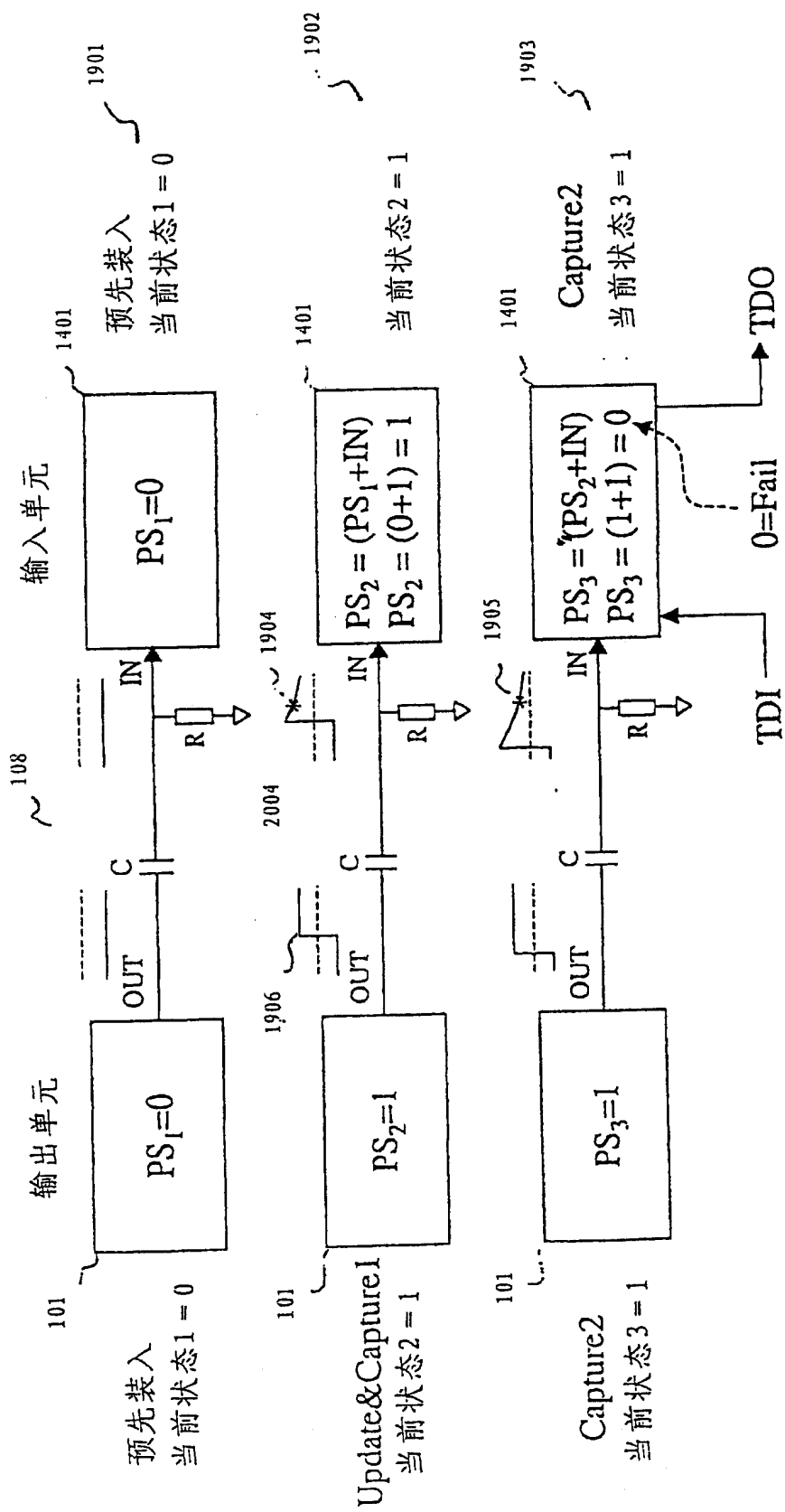


图 19



20



21

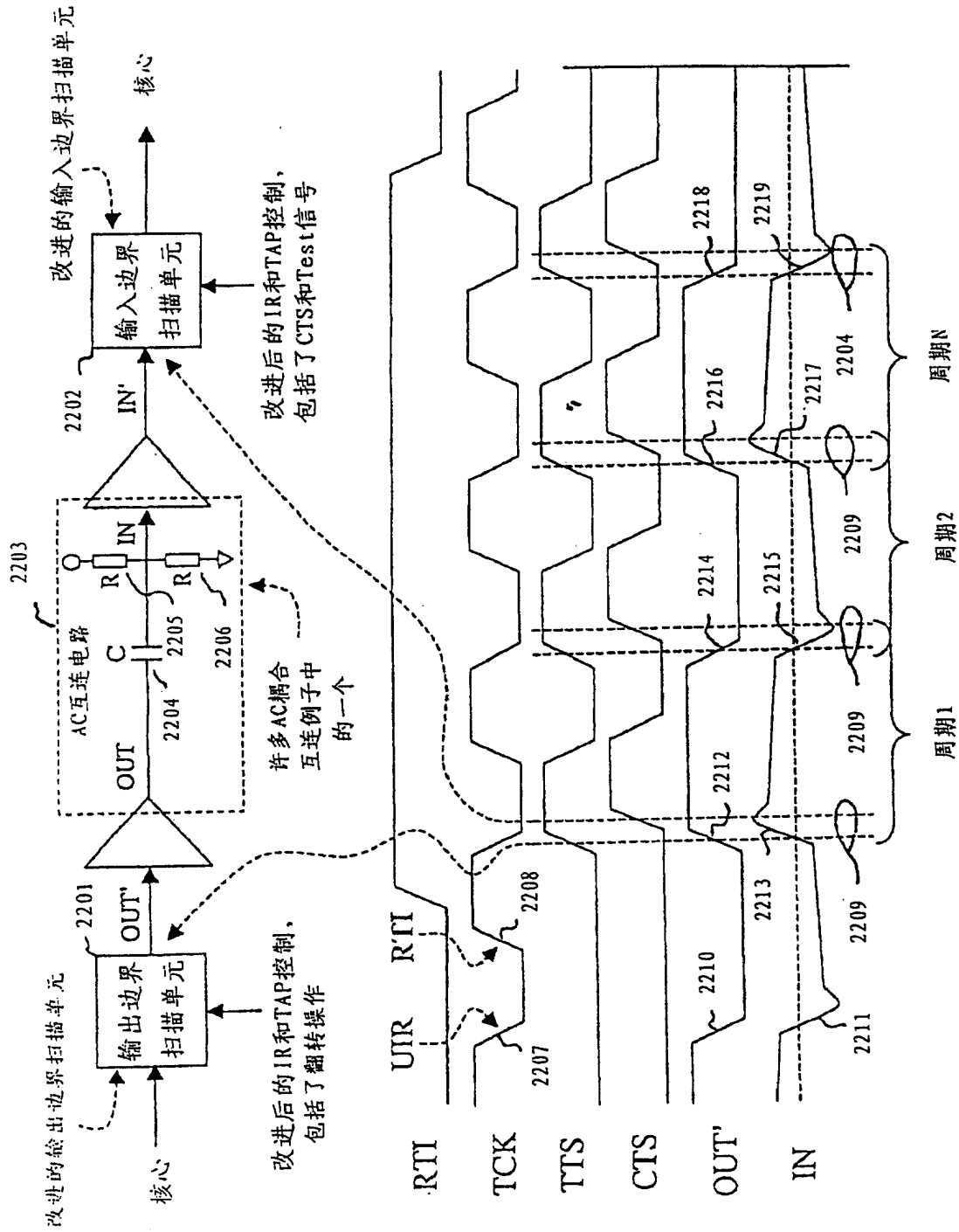


图 22

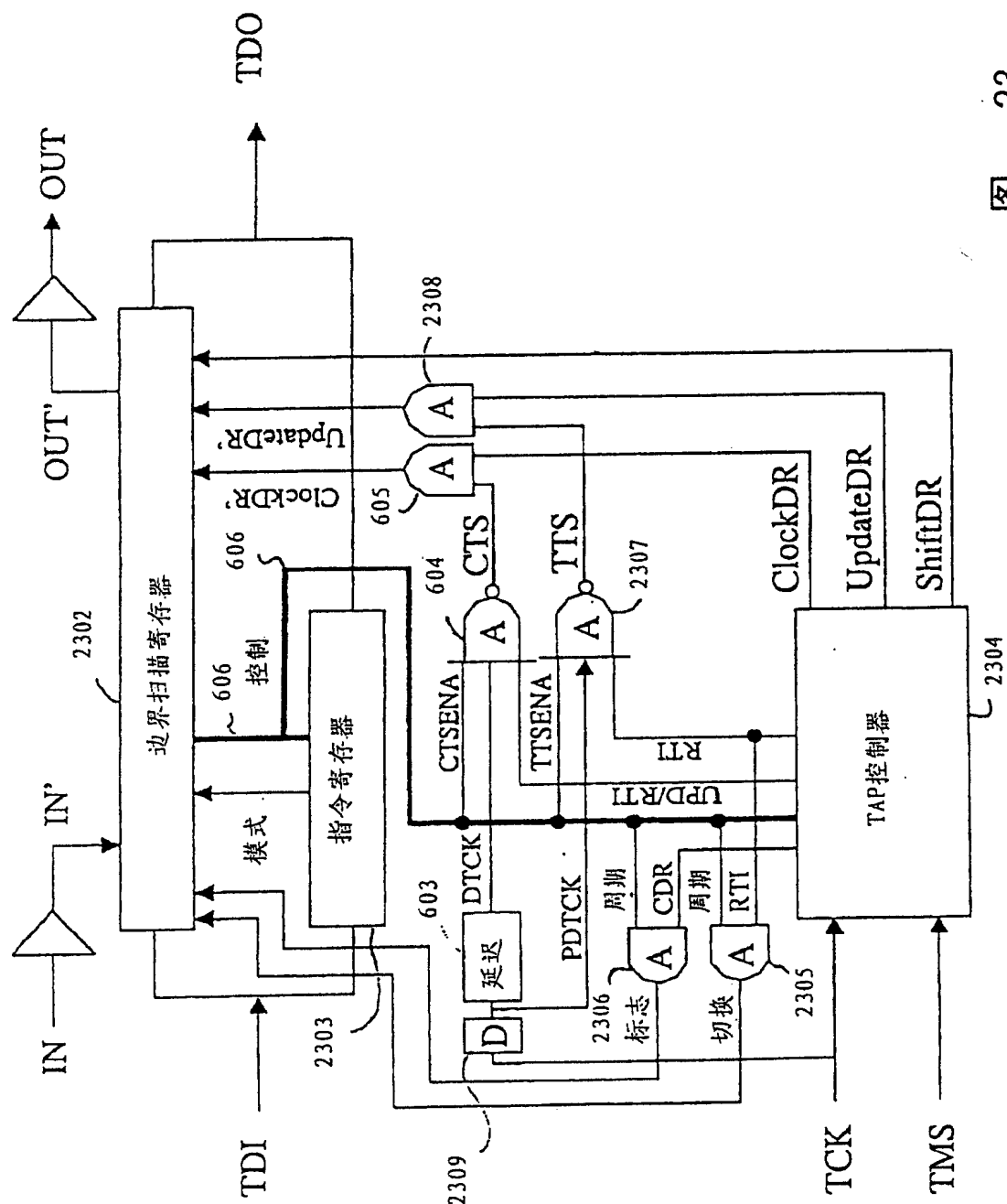


图 23

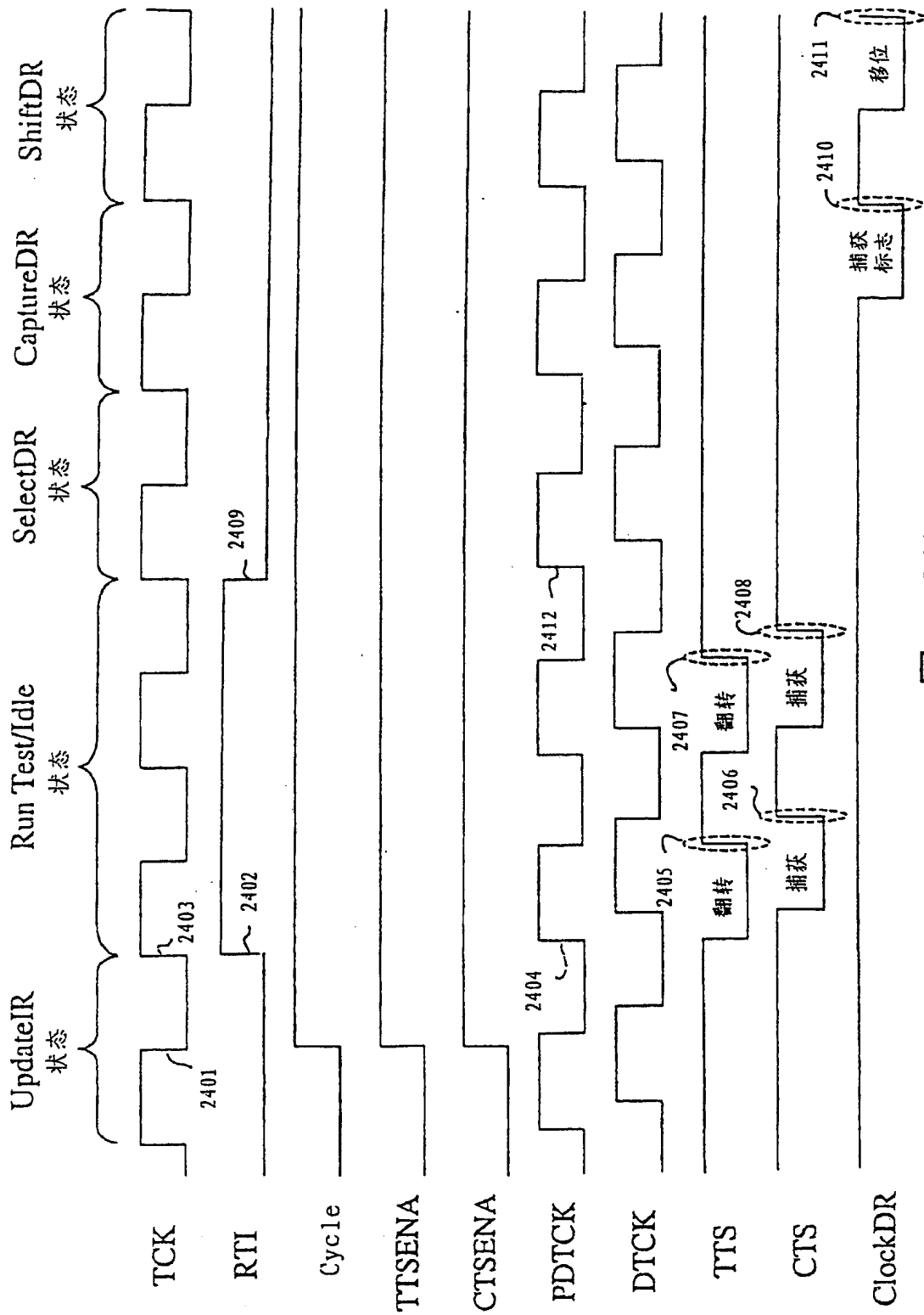


图 24A

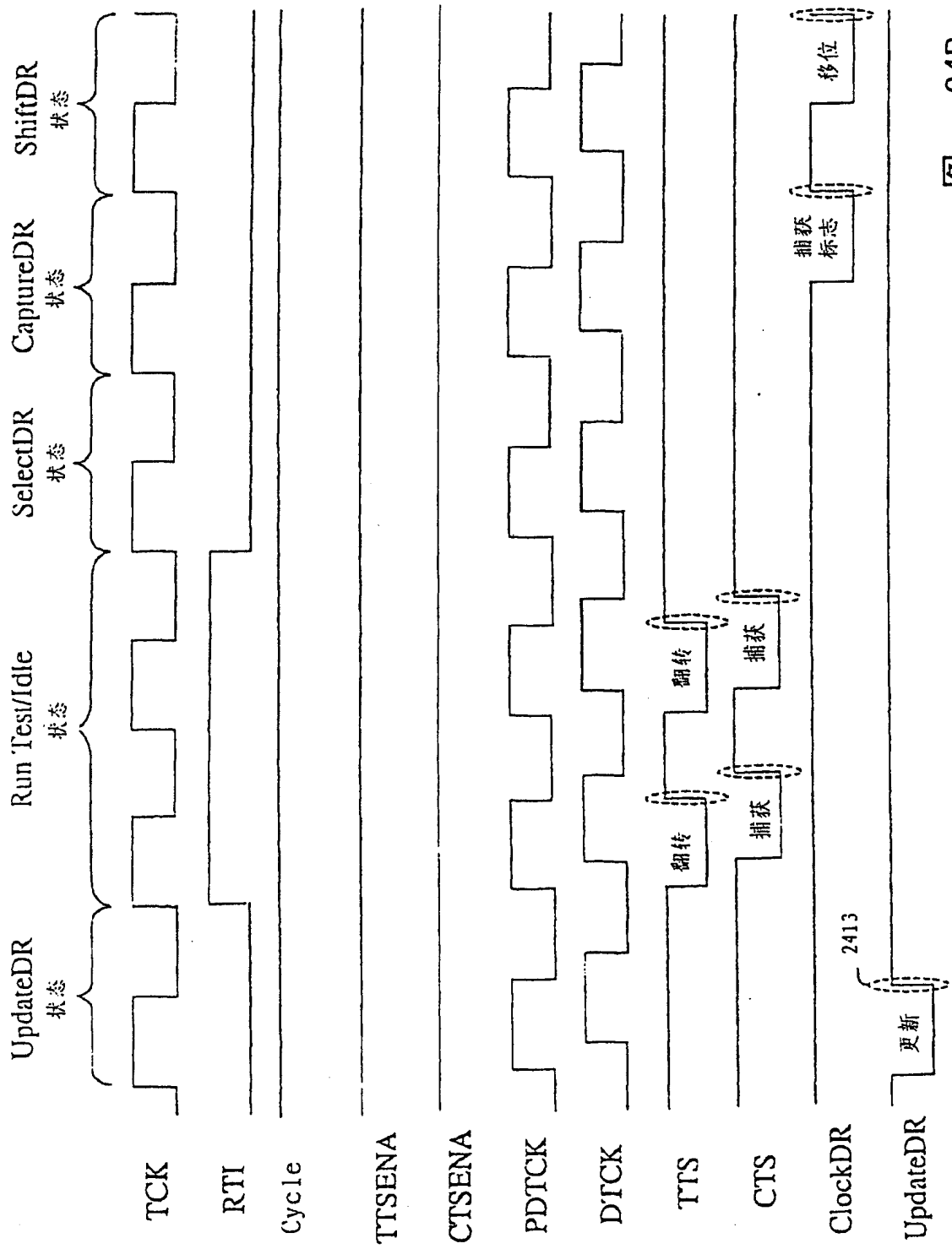


图 24B

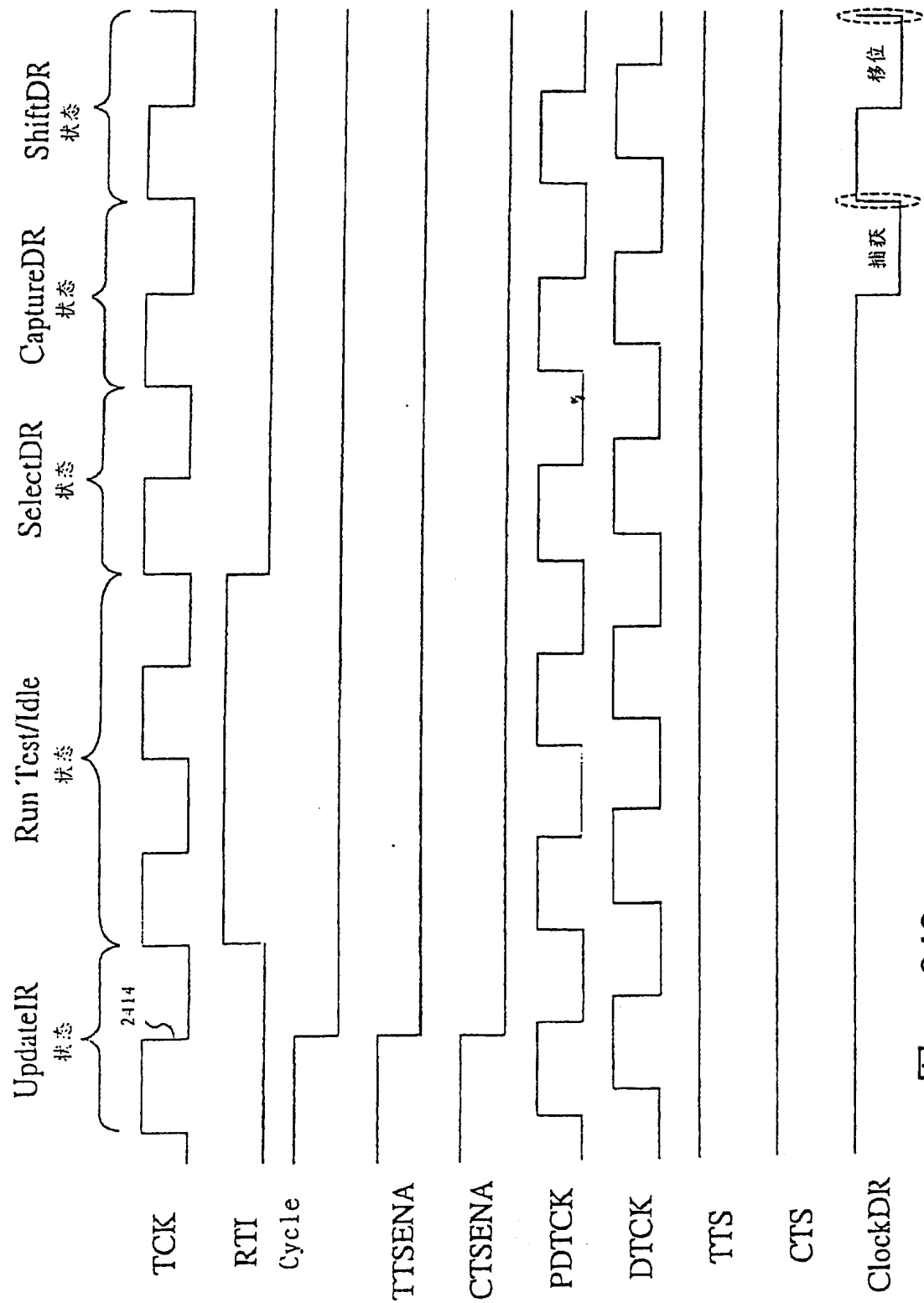


图 24C

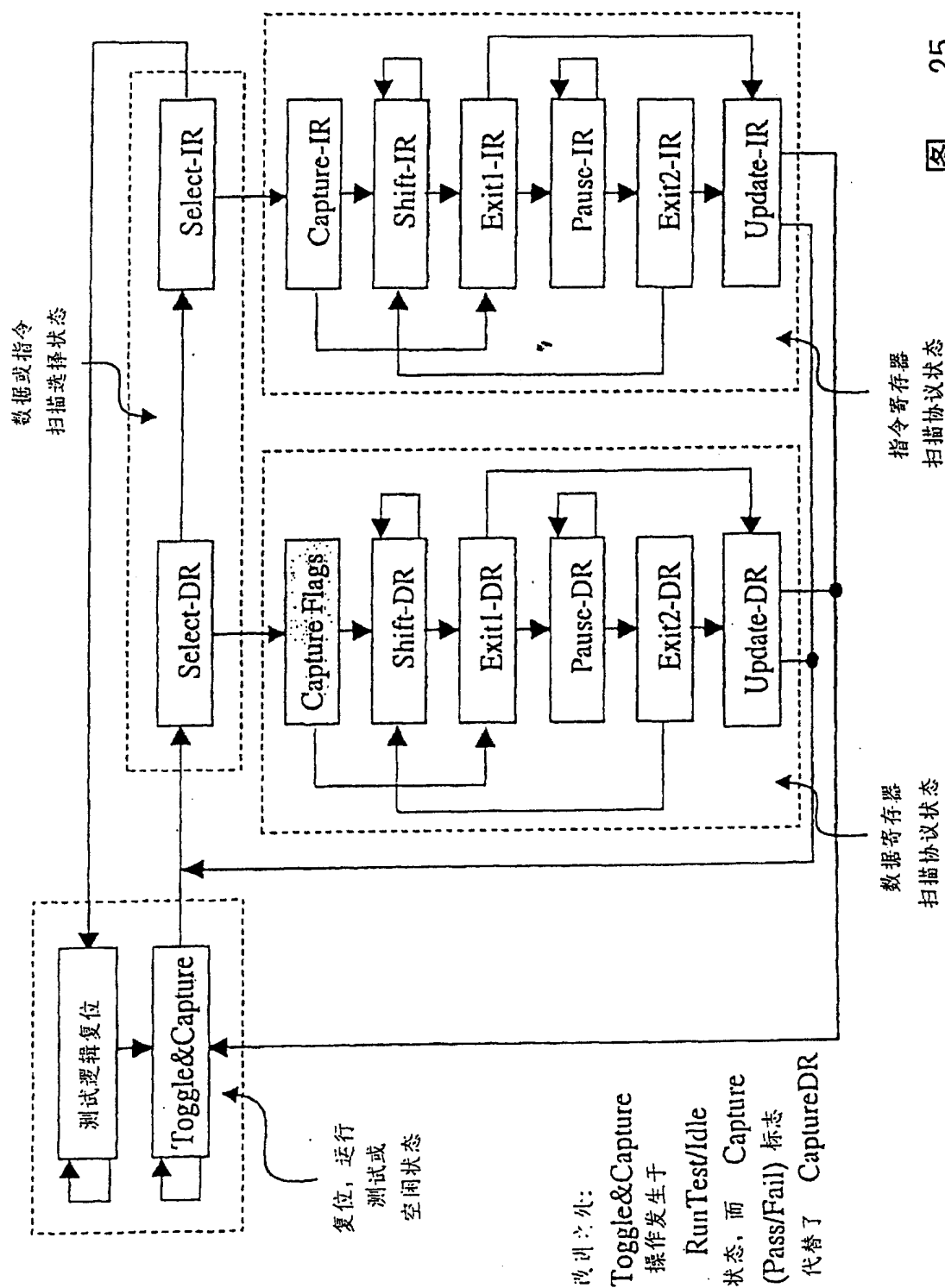


图 25

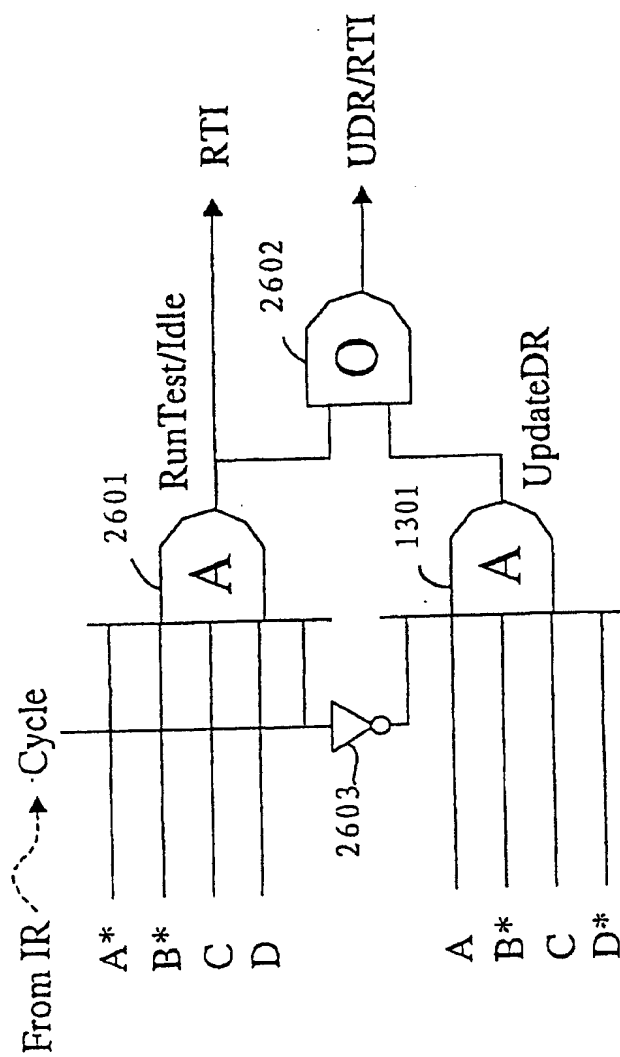


图 26A

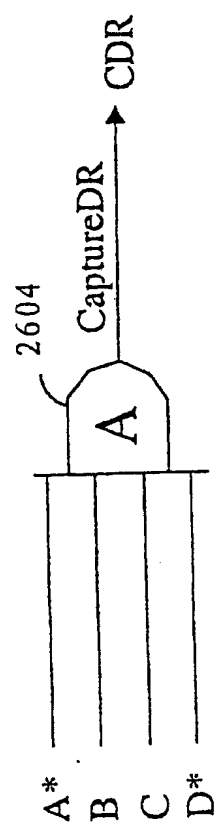


图 26B

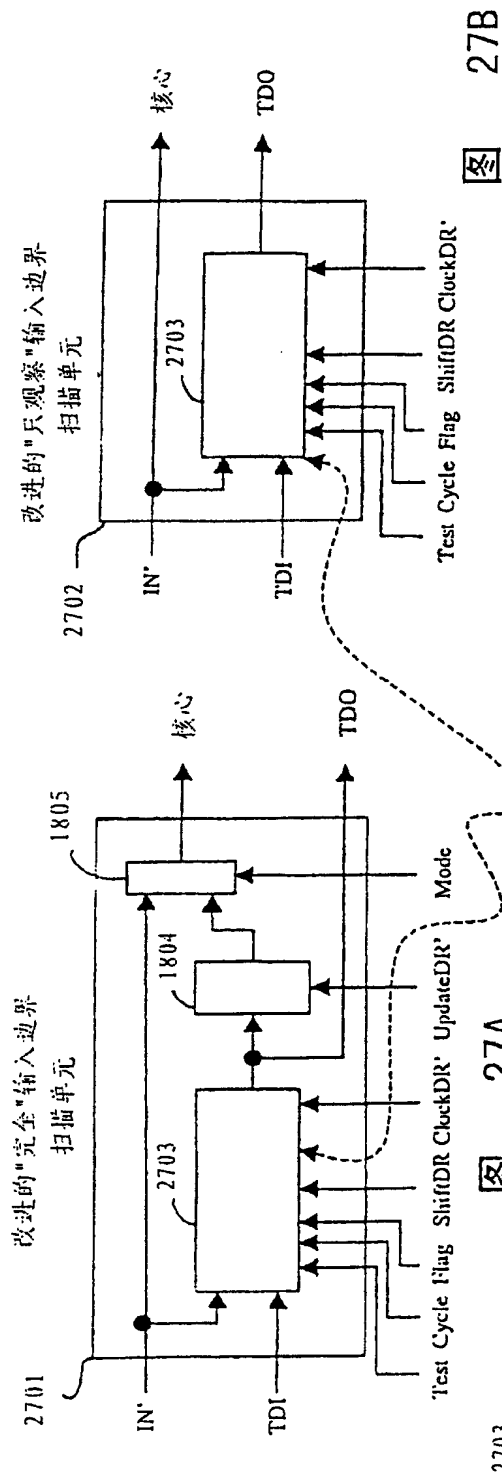


图 27B

改进的“只观察”输入边界扫描单元

2702

IN'

TDI

核心

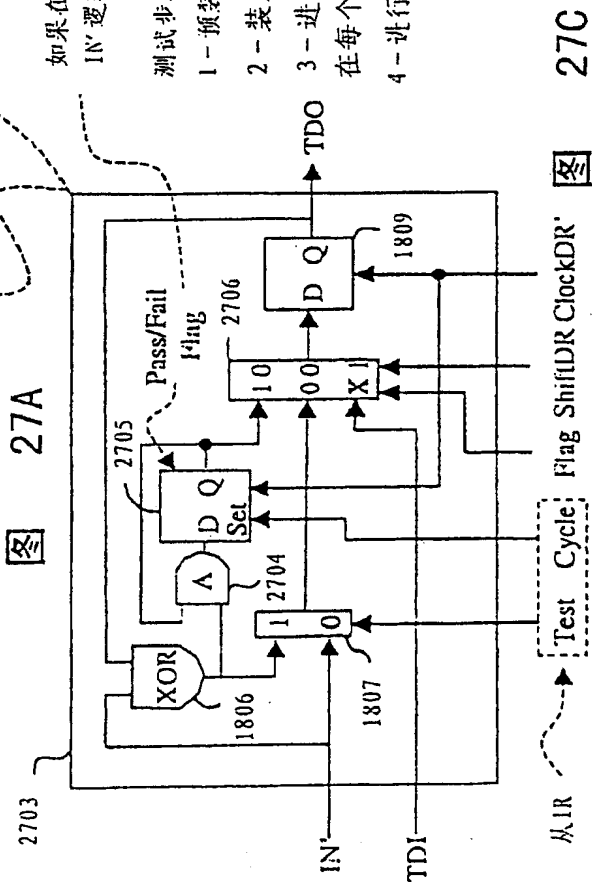
TDO

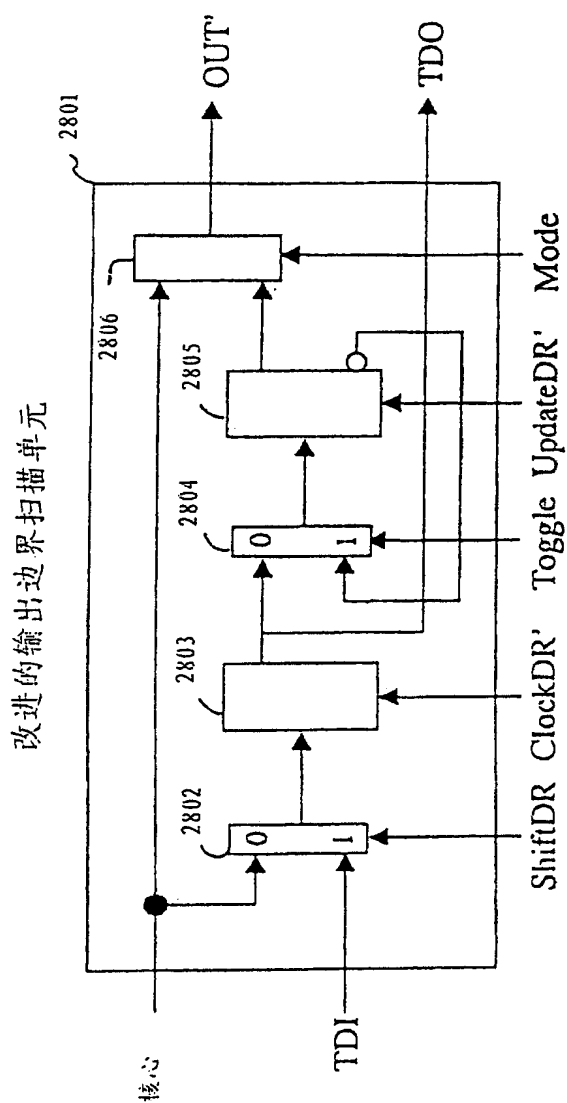
Test Cycle Flag ShiftDR ClockDR

如果在两个连续的ClockDR (CTS) 周期中接收到相同的 IN' 逻辑电平, 则Pass/Fail标志所定为低

测试步骤:

- 1 - 预装扫描单元
- 2 - 装入 Cycle - Test 指令 (Test:Cycle = 0:1)
- 3 - 进入 RunTest/Idle 状态持续N个TCK周期, 在每个ClockDR' (CTS) 捕获 IN'
- 4 - 进行数据寄存器扫描, 以捕获和移位Pass/Fail标志





测试步骤:

- 1 - 预加载扫描单元
- 2 - 装入 Cycle - Test 指令
- 3 - 进入 Run-Test/Idle 状态, 持续 N 个 TCK 周期 (Toggle = 1), 在每个 UpdateDR (TTS) 输入翻转的信号
- 4 - 使数据寄存器扫描捕获和从输入边界扫描单元移位输出 Pass/Fail 标志

28

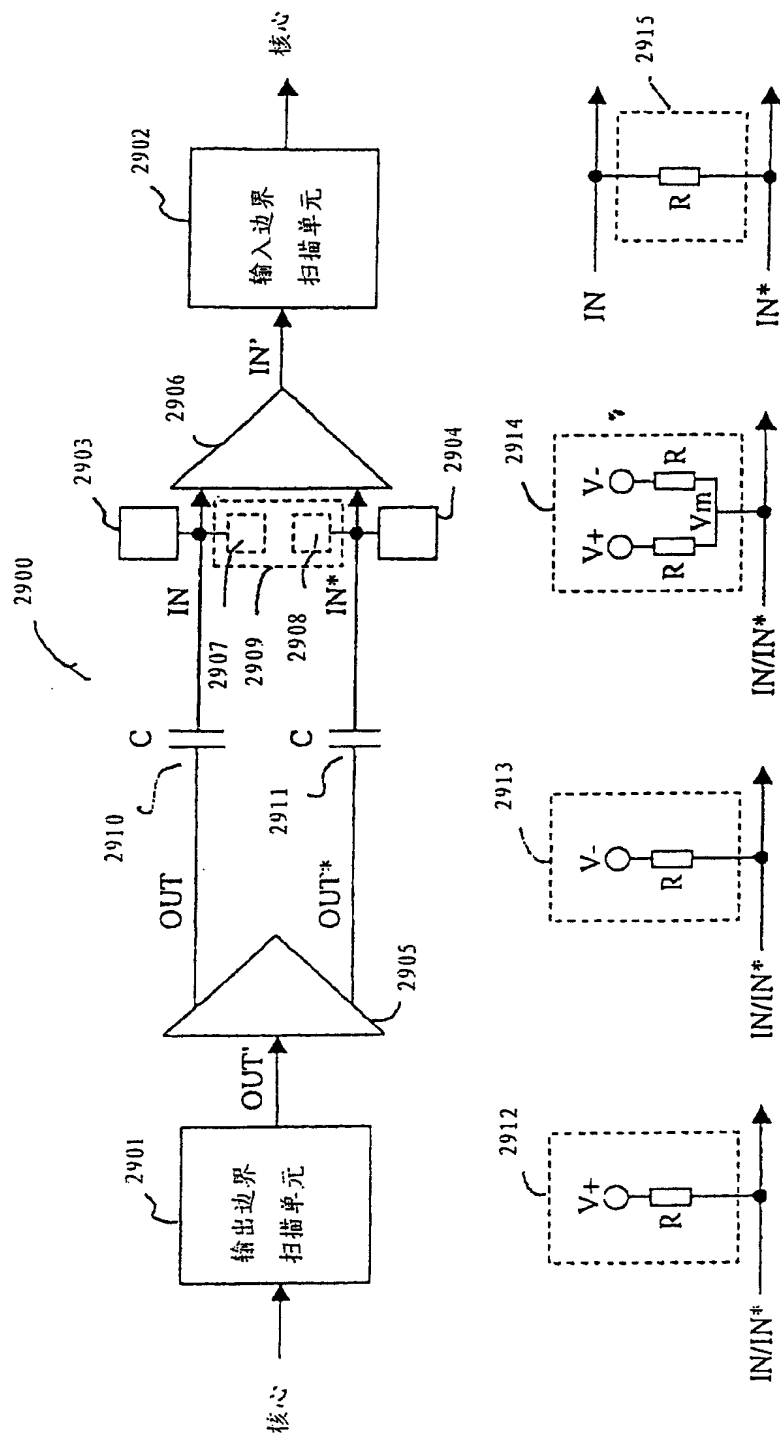


图 29

使用具有新的1149.1输入单元的常规的1149.1的输出单元

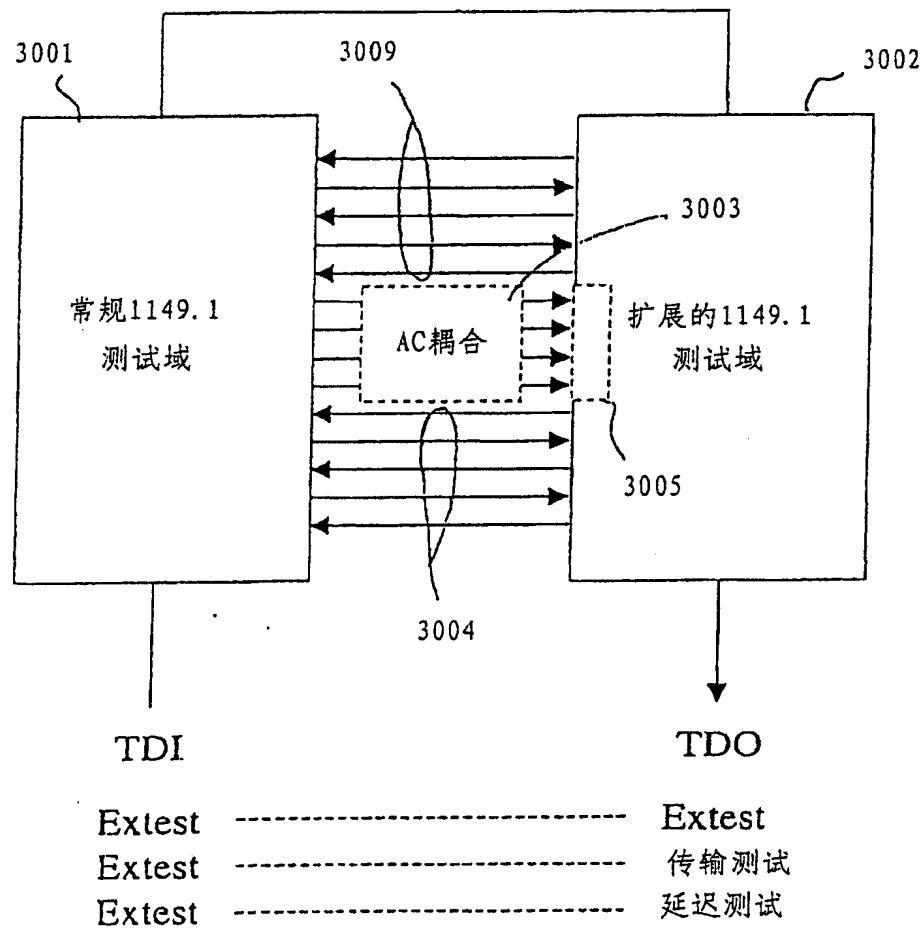


图 30